

PATENT ABSTRACTS OF JAPAN

(12)

(11)Publication number : 2000-252471
 (43)Date of publication of application : 14.09.2000

(51)Int.CI. H01L 29/786

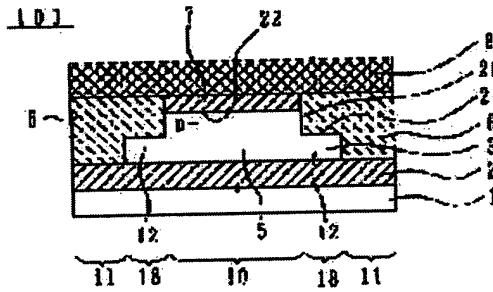
(21)Application number : 11-052322 (71)Applicant : NEC CORP
 (22)Date of filing : 01.03.1999 (72)Inventor : KO RISHO

(54) FIELD EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a path for discharging excessive holes in an SOI-MOSFET while reducing a parasitic capacitance.

SOLUTION: A semiconductor layer 3 is formed on a semiconductor substrate 1 with an insulating film in between. A gate electrode 8 is formed on the semiconductor substrate 3 with an insulating film 7. A semiconductor layer under the gate electrode 8 constitutes a channel forming region 5 doped with low-density impurity. A carrier path region 12 with its surface located below the surface of the channel forming region 5 is formed with a given width in a region that borders on the channel forming region 5, and the carrier path region 12 is connected to a body contact.



LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-252471
(P2000-252471A)

(43)公開日 平成12年9月14日 (2000.9.14)

(51)Int.Cl.
H 01 L 29/786

識別記号

F I
H 01 L 29/78

マーク (参考)
6 2 6 B 5 F 1 1 0
6 1 8 C

(1)
審査請求 有 請求項の数46 OL (全25頁)

(21)出願番号 特願平11-52322

(22)出願日 平成11年3月1日 (1999.3.1)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 黄 例昭
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 100070530
弁理士 畑 泰之

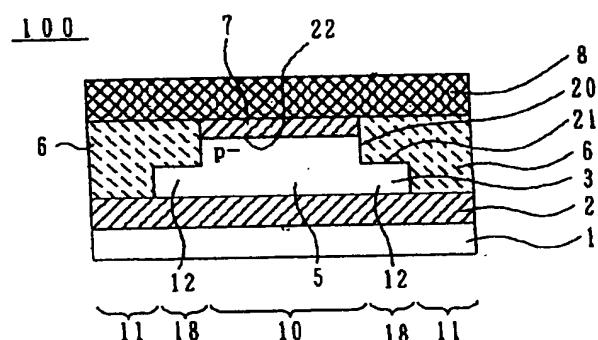
最終頁に続く

(54)【発明の名称】 電界効果型トランジスタ及びその製造方法

(57)【要約】

【課題】 SOI-MOSFET等において、寄生容量を抑制しながら、余剰な正孔を排出する経路を設ける。

【解決手段】 半導体基板1上に絶縁膜を介して半導体層3が設けられ、半導体層3上にゲート絶縁膜7を介してゲート電極8が形成され、ゲート電極下部の半導体層は不純物が低濃度で導入されたチャネル形成領域5をなし、チャネル形成領域5に接する領域に、チャネル形成領域の表面よりもその表面が下方に位置するキャリア流路領域12がある幅をもって形成され、キャリア流路領域はボディコンタクトに接続される。



【特許請求の範囲】

【請求項 1】 絶縁体基板上のある領域、または半導体基板上に形成された絶縁膜のある領域において半導体層が形成されると共に、当該半導体層の一部と、当該半導体層上の少なくとも一部の領域に形成されたゲート絶縁膜と、当該ゲート絶縁膜上に所定の方向に配置して形成されたゲート電極と、当該ゲート電極の両側の半導体層中に形成されたソース／ドレイン領域とから構成された素子領域と、当該素子領域に隣接して、当該半導体層の一部と、当該半導体層上に形成された当該ゲート絶縁膜よりも厚いフィールド絶縁膜と、当該フィールド絶縁膜上に形成されたゲート電極とから構成されたキャリア流路領域と、当該素子領域と当該キャリア流路領域の両者を除く当該絶縁膜上の領域においては、当該絶縁体上に当該半導体層を介すか、介さずに当該フィールド絶縁膜が設けられた素子分離領域とが設けられており、当該素子領域では、当該ゲート電極の下部に位置し、当該ゲート電極に沿って当該半導体層内に形成され、且つ当該ソース／ドレイン領域によって挟まれる様に形成されているチャネル形成領域が設けられている電界効果型トランジスタであって、当該トランジスタは、更に当該チャネル形成領域の少なくとも一方の端部に於ける当該半導体層には、略急峻な壁部が設けられていると共に、当該半導体層の一部が当該壁部の下方部分から当該キャリア流路領域を横断する様に、当該分離素子領域へ向かう方向に延在するキャリア流路が形成されていると共に、当該キャリア流路領域を構成する当該半導体層の上部表面が略平坦状に形成されており且つ、少なくともゲート電極下の一部の領域に於いては、当該上部表面の位置が、当該チャネル形成領域を形成している当該半導体層の上部表面位置よりも低い位置に形成されている事を特徴とする電界効果型トランジスタ。

【請求項 2】 当該キャリア流路領域を構成する当該半導体層の上部表面が略平坦状に形成されると共に、ゲート電極下に位置する領域に於ける当該上部表面の位置、及びゲート電極下に位置する部分を除く少なくとも一部の領域に於ける当該上部表面の位置が、当該チャネル形成領域を形成している当該半導体層の表面位置よりも低い位置に形成されている事を特徴とする請求項 1 の電界効果型トランジスタ。

【請求項 3】 当該キャリア流路領域を構成する当該半導体層の上部表面が略平坦状に形成されると共に、当該上部表面の位置が、キャリア流路領域の全体において当該チャネル形成領域を形成している当該半導体層の表面位置よりも低い位置に形成されている事を特徴とする請求項 1 又は 2 に記載の電界効果型トランジスタ。

【請求項 4】 当該キャリア流路領域を構成する当該半導体層の上部表面が略平坦状に形成されると共に、当該上部表面の位置が、ゲート電極の下に位置する部分とその周辺部においては当該チャネル形成領域を形成して

いる当該半導体層の表面位置よりも低い位置に形成され、ゲート電極から離れた少なくとも一部の領域においては当該チャネル形成領域を形成している当該半導体層の表面位置とほぼ同じ高さの位置に形成されている事を特徴とする請求項 1 の電界効果型トランジスタ。

【請求項 5】 当該素子分離領域では、当該絶縁体基板上または当該絶縁膜上に当該半導体層が設けられる場合には、当該半導体層の膜厚は、当該キャリア流路領域に形成される当該半導体層の膜厚よりも薄くなる様に構成されていることを特徴とする請求項 1 乃至 4 の何れかに記載の電界効果型トランジスタ。

【請求項 6】 当該キャリア流路の上表面と当該ゲート電極の下面との距離は、当該チャネル形成領域の上部表面と当該ゲート電極下面との間隔よりも大きくなる様に構成されている事を特徴とする請求項 1 乃至 5 の何れかに記載の電界効果型トランジスタ。

【請求項 7】 当該ゲート電極と当該キャリア流路との間には、絶縁膜が設けられている事を特徴とする請求項 1 乃至 6 の何れかに記載の電界効果型トランジスタ。

【請求項 8】 当該ゲート電極と当該キャリア流路との間の絶縁膜は、フィールド酸化膜で構成されている事を特徴とする請求項 7 記載の電界効果型トランジスタ。

【請求項 9】 当該ソース／ドレイン領域には、第 1 の導電性を有する不純物が含まれており、当該チャネル形成領域及び当該キャリア流路には第 2 の導電性を有する不純物が含まれている事を特徴とする請求項 1 乃至 8 の何れかに記載の電界効果型トランジスタ。

【請求項 10】 当該キャリア流路には、当該チャネル形成領域に含まれる当該第 2 の導電性を有する不純物の濃度よりも高濃度の第 2 の導電性を有する不純物が含まれている領域が部分的に存在する事を特徴とする請求項 9 に記載の電界効果型トランジスタ。

【請求項 11】 当該キャリア流路は、当該チャネル形成領域の端部、若しくは、当該チャネル形成領域の端部を含み且つ当該ソース／ドレイン領域に於ける当該ゲート電極の配線方向に面した端部の少なくとも一部に亘って形成される部位に接続されている事を特徴とする請求項 1 乃至 10 のいずれかに記載の電界効果型トランジスタ。

【請求項 12】 当該素子分離領域内で且つ当該キャリア流路領域の少なくとも一部の部位と接触する位置に、第 2 の導電性半導体よりなる適宜のボディコンタクト引出部が接続配置せしめられている事を特徴とする請求項 1 乃至 11 の何れかに記載の電界効果型トランジスタ。

【請求項 13】 当該キャリア流路領域の内部で、且つ当該ゲート電極と重複しない部位に、配線と第 2 の導電性半導体を接続するボディコンタクトが配置形成されている事を特徴とする請求項 1 乃至 12 のいずれかに記載の電界効果型トランジスタ。

【請求項 14】 当該ボディコンタクト引出部の表面

は、当該キャリア流路の表面と同一の高さに形成されている事を特徴とする請求項12又は13に記載の電界効果型トランジスタ。

【請求項15】 当該キャリア流路の表面は、当該チャネル形成領域の表面と同一の高さに形成されており、且つ当該ボディコンタクト引出部の表面は、当該キャリア流路の表面よりも低い位置に形成されている事を特徴とする請求項12又は13に記載の電界効果型トランジスタ。

【請求項16】 当該ボディコンタクト引出部の表面は、当該キャリア流路の表面よりも高い位置に形成されている事を特徴とする請求項12乃至13に記載の電界効果型トランジスタ。

【請求項17】 当該ボディコンタクト引出部は、当該ソース／ドレイン領域の当該ゲート電極の配線方向に於ける端部の一部と対向する位置で、当該キャリア流路を介して、設けられている事を特徴とする請求項12乃至16の何れかに記載の電界効果型トランジスタ。

【請求項18】 当該ボディコンタクト引出部には、配線と第2導電型半導体が接続される適宜のボディコンタクトが設けられる事を特徴とする請求項12乃至17の何れかに記載の電界効果型トランジスタ。

【請求項19】 当該ボディコンタクト引出部は、当該第2の導電性を有する不純物が高濃度に含まれている事を特徴とする請求項12乃至18の何れかに記載の電界効果型トランジスタ。

【請求項20】 当該半導体層に於ける当該壁部から当該ゲート電極の配列方向に伸展している当該キャリア流路領域の幅は、ソース／ドレイン領域と、当該ボディコンタクト引出部に於ける当該ボディコンタクトとの最短距離を越えないように設計されている事を特徴とする請求項12乃至19の何れかに記載の電界効果型トランジスタ。

【請求項21】 当該第2導電型キャリア流路に接続する第2導電型領域に、配線に接続するボディコンタクト引出部が設けられ、当該半導体層に於ける当該壁部から当該ゲート電極の配列方向に伸展している当該キャリア流路の幅は、ゲート電極のうち素子分離領域に突起する領域の長さを越えない長さを有している事を特徴とする請求項12乃至20の何れかに記載の電界効果型トランジスタ。

【請求項22】 当該キャリヤー流路上の絶縁膜は、低誘電率体膜により構成している事を特徴とする請求項1乃至21の何れかに記載の電界効果型トランジスタ。

【請求項23】 当該ソース／ドレイン領域は、表層部を構成する第1のソース／ドレイン領域層と当該表層部の下方に形成される第2のソース／ドレイン領域層とで構成されており、当該第1のソース／ドレイン領域層は、第1の導電性不純物が高濃度に導入されている、第1の濃度を有するものであり、当該第2のソース／ドレ

イン領域層は、当該第1の導電性不純物が高濃度に導入されている、第1の濃度を有するか、当該第1の導電性不純物が低濃度に導入されている第2の濃度を有するものである事を特徴とする請求項1乃至22の何れかに記載の電界効果型トランジスタ。

【請求項24】 半導体層のうち、当該第一のソース／ドレイン領域の下部に位置する少なくとも一部の領域には、第2の導電性不純物が低濃度に導入されている第2の濃度を有する第2導電型半導体層が付加されている事を特徴とする請求項23に記載の電界効果型トランジスタ。

【請求項25】 当該キャリア流路の表面は、当該第1のチャネル形成領域層の表面よりも低い位置に形成されている事を特徴とする請求項23又は24に記載の電界効果型トランジスタ。

【請求項26】 素子領域を構成する半導体層のうち、キャリア流路に接する部分では、ソース／ドレイン領域の下部に低濃度の第2導電型領域が設けられ、キャリア流路の表面は、ソース／ドレイン領域とその下部に位置する低濃度の第2導電型領域とが成す界面よりも、低い位置にあることを特徴とする、請求項23又は24に記載の電界効果型トランジスタ。

【請求項27】 当該キャリア流路に於ける当該チャネル形成領域の壁部に近接する第1の部位には、当該第2の導電性を有する不純物が低濃度に含まれており、当該キャリア流路に於ける当該部位以外の第2の部位には、当該第2の導電性を有する不純物の濃度が高濃度に含まれている事を特徴とする請求項10に記載の電界効果型トランジスタ。

【請求項28】 当該第1の部位の高さは、当該第2の部位の高さと略等しくなる様に構成されている事を特徴とする請求項27記載の電界効果型トランジスタ。

【請求項29】 絶縁体基板上のある領域、または半導体基板上に形成された絶縁膜上のある領域に配置された半導体層に形成される第一導電型のソース／ドレイン領域を持つ電界効果型トランジスタの製造方法であって、絶縁体上の半導体層を、ある幅と長さを持つ領域を残して、エッチングによりその外部の領域を除去する工程と、

当該ある幅と長さを持つ領域のうち、周辺部に位置する少なくとも一部の領域を薄膜化する工程と、

半導体層のうち、少なくとも薄膜化された領域に、第2導電型の不純物を導入する工程と、

半導体層のうち、薄膜化された領域の上に、絶縁膜を堆積して埋め込む工程と、

薄膜化されない半導体層を少なくとも含む領域の上部にゲート絶縁膜を設ける工程と、

ゲート絶縁膜が形成された領域を少なくとも含む領域上にゲート電極を設ける工程と、

薄膜化されない半導体層中に第一導電型のソース／ドレ

イン領域を設ける工程と、を含むことを特徴とする、電界効果型トランジスタの製造方法。

【請求項 3 0】 当該チャネル形成領域と当該キャリヤー流路との境界には、略急峻な壁部を形成する様に処理する事を特徴とする請求項 2 9 に記載の電界効果型トランジスタの製造方法。

【請求項 3 1】 絶縁体基板上、または半導体基板上に形成された絶縁膜上に半導体層を形成すると共に、当該半導体層に、適宜の酸化膜を形成し更に、当該酸化膜上に、窒化膜を形成して、積層体を形成し、次いで、当該積層体の表面に第 1 のレジスト膜を形成して、リソグラフィ処理を行い、所定のパターンを有する第 1 のマスクを形成した後、エッチング処理を行って当該積層体の半導体層、酸化膜及び窒化膜を、所定の形状にパターニングし、更に当該パターニングされた積層体の表面に第 2 のレジスト膜を形成して、リソグラフィ処理を行い、所定のパターンを有する第 2 のマスクを形成した後、エッチング処理を行って、当該酸化膜及び窒化膜を除去すると同時に、当該半導体層を所定の厚みまでエッチング除去する事を特徴とする請求項 3 0 に記載の電界効果型トランジスタの製造方法。

【請求項 3 2】 当該半導体層を所定の厚みまでエッチング除去した後、当該積層体の半導体層、酸化膜及び窒化膜から構成される壁面に適宜の側壁を形成し、当該側壁で被覆されない当該半導体層部分をエッチング除去する事を特徴とする請求項 3 1 に記載の電界効果型トランジスタの製造方法。

【請求項 3 3】 当該ソース／ドレイン領域は、当該半導体層の周辺部における当該キャリヤー流路を除く領域で且つ当該半導体層中のチャネル形成領域の両側に形成する事を特徴とする請求項 2 9 乃至 3 2 の何れかに記載の電界効果型トランジスタの製造方法。

【請求項 3 4】 当該キャリヤー流路を形成する工程が実行された後に当該ソース／ドレイン領域を形成する工程が実行される事を特徴とする請求項 2 9 記載の電界効果型トランジスタの製造方法。

【請求項 3 5】 当該ソース／ドレイン領域は、当該ソース／ドレイン領域と当該チャネル形成領域との接合部近傍の厚みを当該ソース／ドレイン領域の他の部位の厚みよりも浅く形成する事を特徴とする請求項 2 9 記載の電界効果型トランジスタの製造方法。

【請求項 3 6】 当該ソース／ドレイン領域は、当該ソース／ドレイン領域と当該チャネル形成領域との接合部近傍の不純物濃度を、当該ソース／ドレイン領域の他の部位に於ける不純物濃度よりも低く成るように形成する事を特徴とする請求項 2 9 記載の電界効果型トランジスタの製造方法。

【請求項 3 7】 当該ソース／ドレイン領域は、少なくとも 2 層に形成し、当該ソース／ドレイン領域の表面に位置する第 1 のソース／ドレイン領域層は、第 1 の導電性を有する第 1 の不純物を高濃度に含む様に形成すると共に、当該第 1 のソース／ドレイン領域層と当該半導体層との間に形成される第 2 のソース／ドレイン領域層は、当該第 1 の導電性を有する第 1 の不純物を高濃度に含む様に形成する事を特徴とする請求項 2 9 に記載の電界効果型トランジスタの製造方法。

性を有する第 1 の不純物を高濃度に含む様に形成すると共に、当該第 1 のソース／ドレイン領域層と当該半導体層との間に形成される第 2 のソース／ドレイン領域層は、当該第 1 の導電性を有する第 1 の不純物を高濃度に含む様に形成する事を特徴とする請求項 2 9 に記載の電界効果型トランジスタの製造方法。

【請求項 3 8】 当該ソース／ドレイン領域は、少なくとも 2 層に形成し、当該ソース／ドレイン領域の表面に位置する第 1 のソース／ドレイン領域層は、第 1 の導電性を有する第 1 の不純物を高濃度に含む様に形成すると共に、当該第 1 のソース／ドレイン領域層と当該半導体層との間に形成される第 2 のソース／ドレイン領域層は、第 2 の導電性を有する第 2 の不純物を高濃度に含む様に形成する事を特徴とする請求項 2 9 に記載の電界効果型トランジスタの製造方法。

【請求項 3 9】 当該ソース／ドレイン領域は、少なくとも 2 層に形成し、当該ソース／ドレイン領域の表面に位置する第 1 のソース／ドレイン領域層は、第 1 の導電性を有する第 1 の不純物を高濃度に含む様に形成すると共に、当該第 1 のソース／ドレイン領域層と当該半導体層との間に形成される第 2 のソース／ドレイン領域層は、当該第 1 の導電性を有する第 1 の不純物を高濃度に含む様に形成する事を特徴とする請求項 2 9 に記載の電界効果型トランジスタの製造方法。

【請求項 4 0】 当該ソース／ドレイン領域に於ける当該第 1 と第 2 のソース／ドレイン領域層の境界部を、当該キャリヤー流路の表面よりも高くなる様に形成する事を特徴とする請求項 3 7 乃至 3 9 の何れかに記載の電界効果型トランジスタの製造方法。

【請求項 4 1】 当該ソース／ドレイン領域には、第 1 の導電性を有する不純物を高濃度に導入し、当該チャネル形成領域及び当該キャリヤー流路には第 2 の導電性を有する不純物を低濃度に導入する事を特徴とする請求項 2 9 乃至 4 0 の何れかに記載の電界効果型トランジスタの製造方法。

【請求項 4 2】 薄膜化された当該キャリヤー流路の周辺部及び上面部に、絶縁膜を堆積し、該絶縁膜を CMP により平坦化することを特徴とする請求項 2 9 乃至 4 1 の何れかに記載の電界効果型トランジスタの製造方法。

【請求項 4 3】 薄膜化された当該キャリヤー流路の上面部の一部、及び薄膜化されない当該チャネル形成領域の当該急峻な壁部に、絶縁体からなる側壁を設け、統いて、薄膜化された当該キャリヤー流路の上面部で当該側壁に覆われない部分に、ソース／ドレイン領域とは異なる導電型の不純物を導入することを特徴とする請求項 3 0 乃至 4 1 の何れかに記載の電界効果型トランジスタの製造方法。

【請求項44】当該キャリヤー流路領域内で且つ当該ゲート電極の位置と重複しない部位にボディコンタクトを形成する事を特徴とする請求項29乃至43の何れかに記載の電界効果型トランジスタの製造方法。

【請求項45】当該素子分離領域内に、当該キャリヤー流路に接続するボディコンタクト引出部を形成する事を特徴とする請求項29乃至43の何れかに記載の電界効果型トランジスタの製造方法。

【請求項46】当該ボディコンタクト引出部には、当該第2の導電性を有する不純物を高濃度に導入する事を特徴とする請求項29乃至45の何れかに記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果型トランジスタ及びその製造方法に関し、特に詳しくは、SOI (Silicon on Insulator) 構造を持つ電界効果型トランジスタに関する。更には、LSIの構成要素となるSOI構造の電界効果型トランジスタにおいて、基板浮遊効果を抑制し、素子領域端でのリーク電流を防止する電界効果型トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】通常の電界効果型トランジスタでは、チャネルを流れる第一導電型キャリアが衝突電離を起こすことによって発生する第二導電型キャリアは、基板に流れ込む。従って、第二導電型キャリアがチャネル近傍に残ることは無い。その例として、前記第一導電型をn型としたnチャネル電界効果型トランジスタの場合を、図26に示す。

【0003】記号1はシリコン基板、101はソース、102はドレイン、7はゲート酸化膜、8はゲート電極、5はチャネル形成領域である。第一導電型キャリアは電子、第二導電型キャリアは正孔である。図中記号eで示した電子が、チャネル形成領域のドレイン寄りの位置で衝突電離を起こし、正孔hを発生させる。発生した正孔hは、シリコン基板の下の方に流れしていくので、チャネル近傍には残らない。

【0004】しかし、絶縁体上の半導体層(SOI層)にチャネルが形成されるSOI電界効果型トランジスタ(SOI-MOSFET)では、衝突電離によって発生した第二導電型キャリアが、有効に排除されない。その例として、nチャネルSOI-MOSFETの場合を、図27に示す。記号2は埋め込み酸化膜、3はシリコンよりなるSOI層である。この場合、衝突電離によって発生した正孔は、絶縁体である埋め込み酸化膜2に邪魔されて基板1に流れ込めない。このため、チャネル近傍に余剰な正孔が蓄積し、素子の特性が変動してしまう。

【0005】この問題は基板浮遊効果、または寄生バイポーラ効果等と呼ばれる。余剰となる第二導電型キャリ

アは、nチャネルトランジスタでは正孔、pチャネルトランジスタでは電子である。SOI-MOSFETの基板浮遊効果を解消または抑制するには、何らかの方法で余剰なキャリアを取り除けば良い。LSIにおいては、図30に示すように、電界効果型トランジスタの主要部を成す素子領域10と、それを囲む素子分離領域11が配置される。

【0006】素子領域にはソース／ドレイン領域9とチャネル形成領域5(ゲート電極下の不純物濃度の低い領域)が形成される。チャネル形成領域から余剰なキャリアを除くには、図中の矢印のように、チャネル形成領域と素子分離領域とが接する位置から、素子分離領域側に余剰キャリアを流せば良い。余剰キャリアを素子分離領域に流して取り除く例として、チエンらによって、1996シンポジウム・オン・バイエルエスアイ・テクノロジー・ダイジェスト・オブ・テクニカル・ペーパーズ、92～93頁(W. Chen, 1996 Symp. VLSI Tech.)に報告された構造を、図28から図30を用いて説明する。

【0007】ここで図30は上面図、図28は図30におけるB105-B105'断面の立面図、図29は図30におけるA105-A105'断面の立面図である。このトランジスタは、素子分離領域に於て、シリコン基板1上に埋め込み酸化膜2を介して、シリコン膜層3が設けられる。素子領域10のシリコン層には、不純物濃度の低いp⁻型のチャネル形成領域5と、チャネル形成領域5を挟んで設けられるn⁺型のソース／ドレン領域9が設けられる。

【0008】チャネル形成領域5の上部には、ゲート絶縁膜7を介してゲート電極8が設けられる。素子分離領域11では、シリコン膜層3は素子領域10よりも薄く形成され、素子分離領域シリコン層4を成す。当該素子分離領域シリコン層4の上部にはフィールド酸化膜6が形成される。このフィールド酸化膜6はLOCOS法(選択酸化法)により形成される。

【0009】処で、上記従来例に於て、当該素子分離領域にLOCOSにより形成されたシリコン膜を使用することは、寄生容量が付着し易くなるので、実用的ではない。即ち、図36に示す様に、素子分離領域にLOCOS分離膜を使用した場合には、当該フィールド酸化膜6の膜厚は、素子領域から素子分離領域にかけてなだらかに遷移する。

【0010】この場合、素子分離領域の端部では、フィールド酸化膜6は十分に厚くなく、徐々に素子分離領域内部に移動するにつれて当該膜厚は増大する。処で、ゲート電極8とシリコン膜層3との間の寄生容量は、フィールド酸化膜6の厚さに反比例する事が知られているので、従って、図36に於いては、当該素子分離領域の端部で当該フィールド酸化膜6の厚みは極端に薄くなつており、図示の寄生容量C₁とC₂の様に大きな寄生容量

が付く事になる。

【0011】係る寄生容量は、素子のスイッチング速度を大幅に劣化させる事になる。従って、高速に素子をスイッチングさせる為には、LOCOSの様に、その膜厚が徐々に変化する様な構造のものでは不適切であり、図37に示す様に、当該素子領域と素子分離領域の境界或いはその近傍に於て、当該フィールド酸化膜6の膜厚が急峻に変化する様な構成にして、ゲート電極8とシリコン膜層3との間の寄生容量C₃、C₄を出来るだけ小さくする事が望ましい。

【0012】一方、特開昭57-27068号公報に記載された従来の技術を、図32から図35に示す。これはSOS（シリコン・オン・サファイア：絶縁層であるサファイア基板上に半導体層を設ける構造）基板を用いた電界効果型トランジスタであり、p⁻型チャネル形成領域中で発生した正孔を、半導体層側面に設けたp型のキャリアを通して、p⁺型領域に導き、p⁺領域から正孔を排出するものである。

【0013】その製造方法の概略は以下の通りである。シリコン層上にパッド酸化膜と窒化膜を設け、素子領域となる領域にこれらをパターニングする。次にパターニングされた窒化膜をマスクに、シリコン層をKOHによりその膜厚の半分までエッティングする。この時外周側面がテーパー状になり、一部に延出部を持つ形状になる。

【0014】次にイオンにより、テーパー部と延出部にやや高濃度（ドーズ量3×10¹³cm⁻²）のホウ素を導入する。続いて熱酸化を行うと延出部はフィールド酸化膜になる。同時に素子領域の側面にはホウ素が拡散し、p型領域が形成される。以後通常の工程でトランジスタを形成するとともに、ソース／ドレイン領域の一部にp⁺領域を設けると、図33、図34に示す構造が得られる。

【0015】また、他の実施例として図35に記載されている。これは島状シリコン層のチャネル長方向に沿う側面にp型シリコン層を設け、これをドレイン領域に接続した部分に設けられたp⁺型電極取り出し領域に接続する構造である。又、電界効果型トランジスタに於て、図38に示す様に、SOI層の上にLOCOSでない例えればCVD法により形成されたフィールド酸化膜を単に搭載して素子分離領域を形成する例として特開平4-34980号公報が見られる。

【0016】然しながら、係る構成の電界効果型トランジスタに於いては、素子の表面の凹凸が大きくなると同時に、当該素子分離領域において、半導体層とその上部のゲート電極間、または半導体層と配線との間の寄生容量は、間にフィールド酸化膜を挟むことによって、低減はされるものの、これらが上下に重なる面積に比例した分だけ発生することは免れないで、素子の高速スイッチングの面で好ましくない。

【0017】

【発明が解決しようとする課題】（第一の課題）図28から図30、及び図38に示した従来の構造の更に別の課題を述べる。通常のSOI-MOSFETでは、素子分離領域に半導体層（SOI層）は設けられない。これは素子分離領域でゲート電極と半導体領域（SOI層）が上下に重なることを防ぎ、素子分離領域でゲート電極と半導体層間に寄生容量が付くことを防ぐ効果を持つ。

【0018】また、配線と半導体領域も同様に重ならないので、素子分離領域で配線と半導体層間に寄生容量が付くことも防げる。これらはSOI-MOSFETの大きな長所の一つである。しかし、図28から図30に示した従来の構造では、余剰キャリアを排出するために、素子分離領域にシリコン層4を設けるので、素子分離領域においてゲート電極と半導体層（素子分離領域シリコン層4）が上下に重なり、図33のように両者の間に寄生容量が付く。また、素子分離領域上に設けられる配線と素子分離領域シリコン層4の間にも寄生容量が付く。従って、寄生容量が小さいという、SOI-MOSFET本来の長所が損なわれる。

【0019】（第二の課題）また、通常のSOI-MOSFETでは、素子分離領域の半導体層（SOI層）が除去されるので、ソース／ドレイン領域は絶縁体に囲まれている。このため、ドレイン領域とその外側の素子分離領域との間に漏れ電流が流れることがない、という長所がある。

【0020】しかし、図28から図30に示した従来の構造では、余剰キャリアを排出するために、素子分離領域にシリコン層4を設けるので、ソース／ドレイン領域の外側が、素子分離領域シリコン層4と接することになり、図31に示すようにソース／ドレイン領域から素子分離領域シリコン層4に向かってリーク電流が流れるので、SOI-MOSFET本来の長所が損なわれる。

【0021】これらを考えると、図28から図30に示した従来の構造は、SOI-MOSFETの短所である基板浮遊効果の発生を補正する代わりに、SOI-MOSFET本来の長所である寄生容量の低減や漏れ電流の低減を犠牲にしている。従って、寄生容量の低減や漏れ電流の低減といったSOI-MOSFET本来の長所を保ったまま、基板浮遊効果を抑制できる構造が求められる。

【0022】（第三の課題）また、キャリアを排出する能力は、キャリアを排出するための経路となる領域の膜厚、不純物濃度、電位分布に依存する。このうち電位分布は、膜厚と不純物濃度に依存してきまるので、シリコン膜厚と不純物濃度が均一でかつ制御しやすいことが重要となる。これに対して図28から図30に示した従来の技術は、上記した様にLOCOS法を用いるという製造方法に起因して、素子分離部の不純物濃度、膜厚を自由に制御できないという第三の課題を持つ。以下詳しく述べる。

【0023】(イ) 上記した様に、LOCOS法では酸化膜厚が不均一になるので、素子分離領域において酸化されずに残るシリコン層の厚さも、不均一になる。LOCOS法により形成される酸化膜厚は、素子領域に近い部分では厚く、離れたところでは薄い。この結果、素子分離領域におけるシリコン層の厚さは、素子領域に近いところでは厚く、素子領域から離れたところでは薄くなる。

【0024】また、LOCOS法により形成される酸化膜の厚さは、分離幅が小さいと薄くなる等、素子分離領域の形状に依存する。この結果キャリアを排出するための経路となるシリコン層の厚さがばらつき、キャリアの排除能力が場所によってばらつくことになる。

(ロ) LOCOS法では熱酸化により素子分離領域を形成する。このためLOCOS酸化の前に素子分離領域に不純物を導入すると、素子分離領域のシリコン層の不純物濃度が酸化後に変化してしまうという問題を生じる。

【0025】特にホウ素が導入されている場合は、熱酸化中にホウ素がLOCOS酸化膜中に放出されてしまう。また、酸化膜厚がばらつくと、放出されるホウ素の量もばらつくので、その結果ホウ素のばらつきが大きくなる。また、キャリアを有効に排除しようとすると、素子分離領域のシリコン層の不純物濃度を通常LOCOS領域の下に導入するチャネルストップの濃度よりも高くする必要が生じるが、そうすると熱酸化中に素子分離領域から素子領域に多量の不純物が拡散することになり、しきい値電圧等の素子特性を大きく変化させてしまう。

【0026】従って素子分離領域の不純物濃度をキャリアの排除に必要なだけ高くすることが困難になる。また、熱酸化の影響を受ける為にLOCOS法による熱酸化を実施したのちに、不純物をイオン注入等により導入する方法では、チャネル領域に導入する不純物よりも高濃度の注入を行うと、チャネル領域の不純物濃度が変化してしまい、素子の特性が変化してしまう。

【0027】また、素子分離領域のシリコン層部をn⁺型またはp⁺型にするような高濃度のイオン注入を行うと、素子分離領域の酸化膜がイオン注入のダメージを受け、耐圧等の特性が劣化するという問題が生じる。

(第四の課題) 図32から図37を参照しながら従来例の課題を述べる。この構造では素子の側面にp型不純物濃度の高い領域を設け、それを正孔の経路としているが、このようにして素子の側面に設けられた不純物濃度の高い領域は、チャネル領域の電位分布に影響を与え、しきい値を上昇させるという問題を発生させる。これは狭チャネル効果と呼ばれる現象で、特にチャネル幅が小さい時に顕著になる。これはLOCOS分離において通常発生するが、この例のように、素子領域端に不純物を人為的に導入すると、極めて顕著になってしまう。

【0028】また素子領域端ではp型の領域とn⁺型の領域が互いに接するが、p型の不純物濃度が、チャネル

にあたるp⁻領域よりも高い分だけ、n⁺領域とp⁻領域間に比べて、漏れ電流が増える。また、図32の形状を形成する際の素子領域と素子分離領域とのシリコン層の段差の高さや、段差部の角度に依存して、素子領域端の不純物濃度が変化するので、これら段差の高さや角度はエッチング条件に依存してばらつく、素子領域端の不純物濃度が敏感に変化する。

【0029】これは、正孔の排出能力や漏れ電流がばらつき、再現性が得られなくなる原因となる。また、これらエッチングの形状やLOCOS酸化の形状の再現性等に不純物濃度が大きく左右されるので、不純物濃度を制御することが極めて難しく、また、LOCOS酸化中にホウ素が酸化膜へ流れ出したり、あるいは半導体層中に拡散し、所望の不純物分布を得にくいという、不純物の制御に関する問題がある。

【0030】また、この構造では半導体の側面を正孔の経路とするので、正孔の経路は限られた狭い領域にしか設けることができない。従って正孔が流れるに当たっての抵抗が大きく、有効に正孔を排出できない。従って、素子の側面に不純物を導入する必要が無く、また正孔経路の幅が広く、その形状や不純物濃度を制御しやすい構造が望まれる。

【0031】(第五の課題) また、図34から図37の従来例では、正孔の経路を半導体層の側面に設けるため、レイアウト上の自由度が制限され、図34や図35に示すように、ソース／ドレイン領域であるn⁺領域と、ボディコンタクトを取るためのp⁺領域が接するという構造を取らざるを得ない。

【0032】これは正孔の経路を半導体層の側面にとると、側面を共有する同一の半導体層にn⁺とp⁺が設けられるという構造に起因している。ドレインとp⁺領域が接すると著しい漏れ電流が流れるので、p⁺領域を設けた領域はソースとしてしか用いることができない。従って、ソースとドレインが反転するトランスマニアゲートにはこの構造を適用することができない。

【0033】ダイナミック型の回路は一般にトランスマニアゲートを中心に構成され、またスタティック回路においてはクロックやフリップフロップ部にトランスマニアゲートが多様されるので、ソースとドレインが反転できないというのは実用的でない。従ってp⁺領域とn⁺領域が接触せず、ソースとドレインが反転できトランスマニアゲートに適用できる構造が望まれる。

【0034】本発明の目的は、上記した従来技術の欠点を改良し、LOCOSを使用することなく、SOI-MOSFETの基板浮遊効果を抑制するとともに、素子分離領域でゲート電極と半導体層間、あるいは配線と半導体層間に寄生容量が付くことを抑制する事が可能であり、然も、キャリア排出路の上部にゲート酸化膜よりも厚い酸化膜層を設けることにより、キャリア排出路とゲート電極間の寄生容量を低減する事が可能な電界効果型

トランジスタを提供するものである。

【0035】

【課題を解決するための手段】本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用するものである。即ち、本発明に於ける第1の態様としては、絶縁体基板上のある領域、または半導体基板上に形成された絶縁膜上のある領域において半導体層が形成されると共に、当該半導体層の一部と、当該半導体層上の少なくとも一部の領域に形成されたゲート絶縁膜と、当該ゲート絶縁膜上に所定の方向に配置して形成されたゲート電極と、当該ゲート電極の両側の半導体層中に形成されたソース／ドレイン領域とから構成された素子領域と、当該素子領域に隣接して、当該半導体層の一部と、当該半導体層上に形成された当該ゲート絶縁膜よりも厚いフィールド絶縁膜と、当該フィールド絶縁膜上に形成されたゲート電極とから構成されたキャリア流路領域と、当該素子領域と当該キャリア流路領域の両者を除く当該絶縁膜上の領域においては、当該絶縁体上に当該半導体層を介すか、介さずに当該フィールド絶縁膜が設けられた素子分離領域とが設けられており、当該素子領域では、当該ゲート電極の下部に位置し、当該ゲート電極に沿って当該半導体層内に形成され、且つ当該ソース／ドレイン領域によって挟まれる様に形成されているチャネル形成領域が設けられている電界効果型トランジスタであって、当該トランジスタは、更に当該チャネル形成領域の少なくとも一方の端部に於ける当該半導体層には、略急峻な壁部が設けられていると共に、当該半導体層の一部が当該壁部の下方部分から当該キャリア流路領域を横断する様に、当該分離素子領域へ向かう方向に延在するキャリア流路が形成されていると共に、当該キャリア流路領域を構成する当該半導体層の上部表面が略平坦状に形成されており且つ、当該キャリア流路のうち少なくともゲート電極の下に位置する部分では、当該キャリア流路の上部表面の位置が、当該チャネル形成領域を形成している当該半導体層の上部表面位置よりも低い位置に形成されている電界効果型トランジスタであり、又、本発明に係る第2の態様としては、絶縁体基板上、または半導体基板上に形成された絶縁膜上のある領域において半導体層が形成されると共に、当該半導体層上の少なくとも一部の領域に形成されたゲート絶縁膜と、当該ゲート絶縁膜上に所定の方向に配置して形成されたゲート電極と、当該ゲート電極の両側の半導体層中に形成されたソース／ドレイン領域とから構成された素子領域と、当該素子領域を分離する素子分離領域が交互に形成されている電界効果型トランジスタを製造するに際し、当該素子領域に於て、当該半導体層をエッチング処理して、所定の幅を有し且つ当該将来形成されるゲート電極の長さよりも短い長さを有する長尺状半導体領域を形成し、統いて、当該長尺状半導体領域の少なくとも一方の端部及びその周辺部の領域に於ける膜厚を、当該

チャネル形成領域の膜厚より薄くなるように加工してキャリア流路領域を形成すると共に、当該チャネル形成領域の両側にソース／ドレイン領域を形成した後、当該キャリア流路上面部を絶縁膜層で被覆し、次いで、当該チャネル形成領域にゲート絶縁膜を介してゲート電極を形成する電界効果型トランジスタの製造方法である。

【0036】

【発明の実施の形態】本発明に係る当該電界効果型トランジスタ及び当該電界効果型トランジスタの製造方法は、上記した様な技術構成を採用しているので、具体的には、例えば、半導体基板上に絶縁膜を介してゲート電極を形成され、ゲート電極下部の半導体層は不純物が低濃度に導入されたチャネル形成領域をなし、前記半導体基板においてチャネル形成領域を挟む少なくとも二つの領域に、チャネル形成領域よりも不純物が高濃度に導入された第一導電型のソース／ドレイン領域を持つ電界効果型トランジスタにおいて、チャネル形成領域に接する領域に、チャネル形成領域の表面よりも半導体基板の表面が下方に位置する半導体層となるキャリア流路が設けられるキャリア流路領域が形成され、キャリア流路はその上面に水平面を持ち、チャネル形成領域、ソース／ドレイン領域、キャリア流路領域の三者を囲む素子分離領域では、半導体基板の表面がキャリア流路領域の表面よりもさらに下方に位置するか、あるいは半導体領域が取り除かれており、キャリア流路領域には第二導電型の不純物が導入されている。

【0037】そして、本発明の電界効果型トランジスタは、より具体的には、前記第二導電型キャリア流路に接続する第二導電型領域に、配線に接続するボディコンタクト部が設けられ、前記キャリア流路の幅は、ソース／ドレイン領域とボディコンタクトとの最短距離を越えない様に構成されるものである。

【0038】

【実施例】以下に、本発明に係る電界効果型トランジスタ及びその製造方法の一具体例の構成を図面を参照しながら詳細に説明する。図1及び図2は、本発明に係る当該電界効果型トランジスタの一具体例の構成を示すそれぞれ断面図及び平面図であり、図中、絶縁体基板1上のある領域、または半導体基板1上に形成された絶縁膜2上のある領域において半導体層3が形成されると共に、当該半導体層3の一部と、当該半導体層3上の少なくとも一部の領域に形成されたゲート絶縁膜7と、当該ゲート絶縁膜7上に所定の方向に配置して形成されたゲート電極8と、当該ゲート電極8の両側の半導体層3中に形成されたソース／ドレイン領域9とから構成された素子領域10と、当該素子領域10に隣接して、当該半導体層3の一部に形成されるキャリア流路12と、キャリア流路12上に形成された当該ゲート絶縁膜7よりも厚いフィールド絶縁膜6と、当該フィールド絶縁膜6上に形成されたゲート電極8とから構成されたキャリア流路領

域18と、当該素子領域10と当該キャリア流路領域18の両者を除く当該絶縁膜2上の領域においては、当該絶縁体2上に当該半導体層3を介すか、介さずに当該フィールド絶縁膜6が設けられた素子分離領域11とが設けられており、当該素子領域10では、当該ゲート電極8の下部に位置し、当該ゲート電極8に沿って当該半導体層3内に形成され、且つ当該ソース／ドレイン領域9によって挟まれる様に形成されているチャネル形成領域5が設けられている電界効果型トランジスタ100であって、当該トランジスタ100は、更に当該チャネル形成領域5の少なくとも一方の端部に於ける当該半導体層3には、略急峻な壁部20が設けられていると共に、当該半導体層3の一部が当該壁部20の下方部分から当該キャリア流路領域18を横断する様に、当該分離素子領域11へ向かう方向に延在するキャリア流路領域12が形成されていると共に、当該キャリア流路領域18を構成する当該半導体層3の上部表面21が略平坦状に形成されており且つ、当該上部表面21の位置が、少なくともゲート電極8の下に位置する当該チャネル形成領域5を形成している当該半導体層3の上部表面22の位置よりも低い位置に形成されている電界効果型トランジスタ100が示されている。

【0039】本発明に於ける当該電界効果型トランジスタ100に於いては、当該素子分離領域11には、LOCOSにより形成された絶縁膜は使用しないことが特徴であり、当該フィールド絶縁膜6としては、例えばCVD法等により形成されるフィールド酸化膜が好ましくは使用される。本発明に於ける当該電界効果型トランジスタ100に於ける素子分離領域10に於ける当該半導体層3はSOI層で構成されるものである。

【0040】尚、本発明に於て使用されるSOI層と言う語句は、絶縁体上に設けられた半導体層をさし、SOI基板という語句は、絶縁体上に半導体層が設けられている構造を含んでいる基板を意味する。又、本発明に係る当該半導体層としては、シリコンが主に使用されるが、シリコン以外のものも本発明に適用しえるものであって、例えばGe、GaAs、SiGe、SiC、GaP等が挙げられる。

【0041】又、半導体層の一部がSi以外の半導体である場合にも適用可能であり、例えば、Si層の一部がGeやSiGeによって置き換えられていても良い。又、本発明に於ける素子分離領域11に使用されるフィールド酸化膜6としては、例えばSiO₂以外の材料を使用しても良い。特に、SiO₂よりも誘電率の低い材料を用いると、素子分離領域での配線－基板間、ゲート－基板間の寄生容量を更に小さくする事ができる。

【0042】誘電率の低い材料としては、例えば、アモルファスカーボン、アモルファスフッ素化カーボン、SiOF、多孔質SiO₂、ポリイミド、BCB（ベンジンクロブテン）等が挙げられる。本発明に於いては、当

該ゲート電極8は、当該チャネル形成領域5と当該キャリア流路12の各上方部に配置形成される。

【0043】又、本発明に於いては、当該電界効果型トランジスタは、当該キャリア流路12の上表面21と当該ゲート電極8の下面2との距離は、当該チャネル形成領域5の上部表面22と当該ゲート電極8下面21との間隔よりも大きくなる様に構成されている事が望ましい。上記した様に、本発明に於いては、当該ゲート電極8と当該キャリア流路領域12との間には、適宜の絶縁膜が設けられている事が好ましく、例えば、LOCOS膜を使用しない適宜の酸化膜が使用出来、好ましくは、CVD法により形成されるフィールド酸化膜が使用可能である。

【0044】本発明に於いては、例えば、当該キャリア流路領域18を構成する当該半導体層3の上部表面21が略平坦状に形成されると共に、ゲート電極8下に位置する領域に於ける当該上部表面の位置21、及びゲート電極下に位置する部分を除く少なくとも一部の領域に於ける当該上部表面21の位置が、当該チャネル形成領域5を形成している当該半導体層の表面位置22よりも低い位置に形成されているもので有っても良い。

【0045】つまり、ゲート電極8下に位置する部分を除く少なくとも一部の領域に於ける当該上部表面の位置が、当該チャネル形成領域5を形成している当該半導体層の表面位置22よりも低い位置に形成されている部分と当該半導体層の表面位置22と同等の高さを有するもので有っても良い。又、本発明では、当該キャリア流路12を構成する当該半導体層3の上部表面21が略平坦状に形成されると共に、当該上部表面21の位置が、キャリア流路領域18の全体において当該チャネル形成領域5を形成している当該半導体層3の表面位置22よりも低い位置に形成される。

【0046】又、当該キャリア流路12を構成する当該半導体層3の上部表面21が略平坦状に形成されると共に、当該上部表面21の位置が、ゲート電極8の下に位置する部分とその周辺部においては当該チャネル形成領域5を形成している当該半導体層3の表面位置22よりも低い位置に形成され、ゲート電極8から離れた少なくとも一部の領域においては当該チャネル形成領域5を形成している当該半導体層3の表面位置22とほぼ同じ高さの位置に形成されている。

【0047】一方、本発明に於ける電界効果型トランジスタに於て、当該ソース／ドレイン領域9には、比較的に濃度の高い第1の導電性を有する不純物が含まれており、当該チャネル形成領域5には比較的に濃度の薄い第2の導電性を有する不純物が含まれていても良く、場合によっては、少なくとも一部に比較的に濃度の薄い第2の導電性を有する不純物が導入されてたり、あるいは当該不純物を導入しないものであっても良い。また、当該キャリア流路領域12には比較的濃度の薄い第2の

導電性を有する不純物が含まれている。

【0048】本発明に於て、当該第1の導電性を有する不純物を例えればリン、ヒ素等のn型不純物とした場合、当該第2の導電性を有する不純物は、例えればホウ素、インジウム等のp型不純物である。また、当該第1の導電性を有する不純物を例えればホウ素、インジウム等のp型不純物とした場合、当該第2の導電性を有する不純物は、例えればリン、ヒ素等のp型不純物である。

【0049】そして、本発明に於いて、当該キャリア流路12には、当該チャネル形成領域に含まれる当該第2の導電性を有する不純物の濃度よりも高い高濃度の第2の導電性を有する不純物が含まれている領域が部分的に形成されている事も望ましい。この高濃度の第2の導電性を有する不純物が含まれている領域は、キャリア流路12のうち、ソース／ドレイン領域に接しない位置に形成される。

【0050】本発明に於ける当該電界効果型トランジスタ100に於いては、当該キャリア流路12は、図2の平面図から明らかな様に、当該チャネル形成領域5の端部（この部分はゲート電極8と重なっているので図2では図示されていない）に接して、若しくは、当該チャネル形成領域5の端部を含み且つ当該ソース／ドレイン領域9に於ける当該ゲート電極8の配線方向に面した端部25の少なくとも一部に亘って形成されている事が望ましい。

【0051】又、本発明に於ける当該電界効果型トランジスタ100に於いては、当該素子分離領域11内で且つ当該キャリア流路領域12の少なくとも一部の部位と接触する位置27で、且つ当該ゲート電極8と重複しない部位に適宜のボディコンタクト引出部13が接続配置せしめられていることが好ましい。尚、本発明に於て使用される「ボディコンタクト」は、第二導電型領域と配線を接続する部分を指し、又、「ボディコンタクト引き出し部」は、当該ボディコンタクトを接続するために設けられる第二導電型の半導体となる領域を指している。

【0052】又、本発明に係る当該電界効果型トランジスタ100に於いては、例えば、図16に示す様に、当該キャリア流路領域18の内部で、且つ当該ゲート電極8と重複しない部位26に適宜のボディコンタクト引出部13が配置形成されているものであっても良い。本発明に於ける当該ボディコンタクト引出部13には、当該第2の導電性を有する不純物が高濃度に含まれている事が望ましい。

【0053】本発明に於ける、当該ボディコンタクト引出部13の表面は、図3に示す様に、当該キャリア流路12の表面と同一の高さに形成されているものであっても良い。更に、本発明に於いては、図4に示す様に、当該ボディコンタクト引出部13の表面は、当該キャリア流路12の表面よりも高い位置に形成されていても良

く、この場合当該ボディコンタクト引出部13の表面は、当該チャネル形成領域5の表面と同一の位置となる様に設定されていても良い。

【0054】上記した様に、図2に示す通り、当該ボディコンタクト引出部13は、当該ソース／ドレイン領域9の当該ゲート電極8の配線方向に於ける端部25の一部と対向する位置で、当該キャリア流路領域12を介して設けられているものである。尚、本発明に於ける当該ボディコンタクト引出部13には、図16に示す様に、適宜のボディコンタクト42が接続されるものである。

【0055】又、図17に示す様に、本発明に係る当該電界効果型トランジスタ100の他の具体例に於いては、当該キャリア流路12の一部に第2の導電性を持った不純物が高濃度に含まれた領域が形成されている場合には、当該キャリア流路領域12の当該第2の導電性を持った不純物が高濃度に含まれた領域に、当該ボディコンタクト42を設けることも可能である。これは、キャリア流路中のうち不純物が高濃度に含まれた領域の一部が、ボディコンタクト引き出し部13を代替するものである。

【0056】一方、本発明に於ける当該電界効果型トランジスタ100に於いては、ゲート電極のうち一部が、キャリア流路の外部に位置する素子分離領域に設けられることが望ましい。また、ゲートコンタクト台座201がキャリア流路の外部に位置する素子分離領域に設けられることが望ましい。また、図14に示すとおり、当該キャリア流路領域の幅W1（記号43）は、ゲート電極8のうち素子分離領域11に突出する部分の長さ45を越えない長さを有している事が望ましい。

【0057】特に、当該第2導電型チャネル形成領域5に接続する第2導電型を有するキャリア流路12に高濃度領域が設けられ、該高濃度領域内に配線に接続するボディコンタクト42の一部または全部が設けられる場合には、当該キャリア流路領域の幅W1は、ゲート電極8のうち素子分離領域11に突出する部分の長さ45を越えない長さを有している事が望ましい。

【0058】また、本発明に於ける当該電界効果型トランジスタ100に於いては、図2に於ける平面図で見た当該キャリア流路領域12の幅W1は、図14に示す様に、ソース／ドレイン領域9と、当該ボディコンタクト引出部13に於ける当該ボディコンタクト42との最短距離41を越えないように設計されている事がより望ましい。

【0059】本発明に於ける当該キャリア流路12上の絶縁膜は、低誘電率膜により構成される事も好ましい。本発明に於ける当該電界効果型トランジスタ100に於て、当該キャリア流路12の幅W1を具体的に決定するには、例えれば、今電界効果型トランジスタ100のチャネル幅をWとし、ゲート酸化膜の膜厚をT_{OX}、フ

フィールド酸化膜6の膜厚をT_{FOX}とした場合に、当該キャリヤー流路12とゲート電極8との間の寄生容量をゲート容量の1/Kにしたい場合には、

$$W/T_{OX} \geq K W_1 / T_{FOX}$$

の関係を満たす様にWとT_{OX}を選択すれば良いことになる。

【0060】今、T_{OX}を3nm、キャリヤー流路12上のフィールド酸化膜の膜厚T_{FOX}を30nm、Kを100、Wを5μmとすると、W₁は、0.5μm以下が望ましい値となる。又、本発明に於いては、図9に示す様に、当該ソース／ドレイン領域9は、表層部を構成する第1のソース／ドレイン領域層17と当該表層部17の下方に形成される第2のソース／ドレイン領域層15とで構成されており、当該第1のソース／ドレイン領域層17は、第1の導電性不純物が高濃度に導入されている、第1の濃度を有するものであり、当該第2のソース／ドレイン領域層15は、当該第1の導電性不純物が高濃度に導入されている、第1の濃度を有するか、当該第1の導電性不純物が低濃度に導入されている第2の濃度を有するものであっても良く、又、当該第2のソース／ドレイン領域層15の下部には、上記の構成に加えて、第2の導電性不純物が低濃度に導入されている第2の濃度を有する層202が付加されているもので有っても良い。

【0061】更に、本発明に於ける当該具体例に於いては、当該キャリア流路12の表面140は、ソース／ドレイン領域15とその下部に位置する第二導電型の層202との界面よりも低い位置に形成されても良い。そして、上記具体例に於いては、当該第2のソース／ドレイン領域層15の表面よりも低い高さの表面140を有する当該キャリア流路12が、当該第2の導電性不純物が低濃度に導入されている領域14と当該第2の導電性不純物が高濃度に導入されている領域16（当該領域16の表面は160で示される）とが連続して配置されている構成を採用しても良い。

【0062】以下に、本発明に係る当該電界効果型トランジスタ100の具体例の構成と製造方法を図面を参照しながら詳細に説明する。

第1の実施例

第1の実施例の構成

本発明の第1の実施形態を、図1、図2及び図3を参照して説明する。図2は上面図、図1は図2のA2-A2'断面における断面図、図3は図2のB2-B2'断面における断面図である。なお、第1導電型はソース／ドレイン領域の導電型を、第2導電型は第1導電型とは極性の異なる導電型をそれぞれ指す。

【0063】本発明の第1の実施例は以下の構成を持つ。即ち、素子領域10においてはシリコン基板1上に、埋め込み酸化膜2を介して単結晶のSiよりなる、SOI層3が設けられる。素子領域10の外側にある素

子分離領域11では、素子領域10のSOI層3に変えて、CVD法等の成膜技術により絶縁膜を体積して形成したフィールド酸化膜6が設けられる。

【0064】素子領域10と素子分離領域11との間の少なくとも一部の領域に、素子領域10に於ける当該SOI層3よりも膜厚の小さい膜厚をもったSOI層により形成される第2導電型のキャリア流路12が設けられる。本発明に於いては、当該キャリア流路12と素子領域を構成する当該半導体層3との接続部が急峻な形状に形成されている事及び当該キャリア流路12の上面が平坦に形成されている事が重要である。

【0065】そして、本具体例に於いては、当該キャリア流路12の上面部には、例えば、LOCOSとは異なる分離方法、例えばSi層をある深さまでエッチングにより除去し、続いてCVD等の製膜技術により酸化膜を埋め込む方法によって形成されたフィールド酸化膜6が設けられる。素子領域10のSOI層3上には、ゲート絶縁膜7を介してゲート電極8が適当な形にパターニングされる。ゲート電極8の一部は素子分離領域11上にまで延長される。キャリヤー流路領域12に接続した素子分離領域11内的一部の領域には、不純物濃度の高い第2導電型のボディコンタクト引き出し部13が設けられる。

【0066】SOI層3のうち、ゲート電極8の下部に当たる領域は、不純物濃度の低いチャネル形成領域5を成し、チャネル形成領域5の両側には、不純物濃度高い第1導電型のソース／ドレイン領域9が設けられる。図14に示す様に、ボディコンタクト引き出し部13の中には、ボディコンタクト引き出し部13と配線を接続するボディコンタクト42が設けられる。この実施例においては、キャリア流路12の幅W1は、ソース／ドレイン領域9とボディコンタクト42との最短距離41よりも小さくする。

【0067】この素子では、チャネル形成領域5において衝突電離によって発生した余剰な第2導電型キャリアは、キャリヤー流路12を通して排除され、ボディコンタクト引き出し部13にボディコンタクト42によって接続された配線から排除される。この作用により、余剰な第2導電型キャリアがチャネル形成領域に蓄積することを防ぎ、基板浮遊効果を抑制する。

【0068】加えて、余剰な第2導電型キャリアは、素子分離領域11に排出するのではなく、キャリア排出路として機能するキャリヤー流路12を通して排出するので、素子分離領域11にキャリアの通り路となる半導体層（従来例、図28）を設ける必要が無く、ゲート電極と半導体層間、あるいは配線と半導体層間に寄生容量が付かないので、前記第1の課題が解決される。

【0069】本実施例に於いては、ボディコンタクト42を設けるために突起したボディコンタクト引き出し部13を設けるので、キャリア流路の幅43は、ソース／

ドレイン領域9とボディコンタクト42の最短距離41よりも小さくて良い。このように、突起したボディコンタクト引き出し部13を設けると、キャリア流路12の幅をボディコンタクト42の位置まで広げる必要がないので、その幅だけ小さくすることができ、ゲートと半導体層であるキャリア流路が積層する領域の面積を減らすことができ、ゲート電極と半導体層間の寄生容量を減らすことができる。

【0070】また、図2のように、キャリヤー流路12はチャネル形成領域5とボディコンタクト引き出し部13との間を接続するある特定の領域に設けられていれば良く、ソース／ドレイン領域9の回り全体を囲む必要が無いので、ソース／ドレイン領域9からその外部へ向かう漏れ電流を抑制され、前記第2の課題が解決される。

【0071】図2の構造を例にとると、図中で素子領域10の上下に当たる境界から外側に向かって漏れ電流が流れることを防ぐことができる。また、本発明に於ける当該電界効果型トランジスタの素子の側面に不純物を導入するのではなく、キャリア流路全体に不純物を導入するので、正孔経路の幅が広く、その形状や不純物濃度を制御しやすい。よって第4の課題が解決される。

【0072】また、本発明は素子領域とは独立のキャリア流路領域を持つ。従って p^+ 領域と n^+ 領域が接触させない構造を形成できるので、ソースとドレインを反転できるトランスマニアゲートに適用でき、第5の課題が解決される。更に、本発明は、LOCOS法を用いて形成した場合のような、なだらかな素子分離端形状を持たないので、素子領域の外側に設けられるキャリア流路の厚さが一定になる。このため、キャリア流路の膜厚が制御しやすく、また、不純物、電位分布が制御しやすくなる。この結果、キャリア流路部の抵抗、不純物濃度及び電位分布が位置にあまり依存しなくなり、キャリアの排除能力の均一性を得るのが有利になる。よって、前記第3の課題（イ）を解決する。

【0073】第1の実施例によるその他の効果
キャリア流路12とゲート電極8の間にはフィールド酸化膜6が設けられる。この部分のフィールド酸化膜6をゲート酸化膜7よりも厚くすることによって、ゲート電極とキャリア流路間の寄生容量を低減できる。また、素子領域10におけるゲート酸化膜7の上面、キャリヤー流路領域12上のフィールド酸化膜6の上面のそれぞれの高さを揃えるか、あるいは高さの差を小さくすることにより、段差の無いもしくは段差の小さい平坦な形状を得ることができゲート電極等の加工を容易にする。

【0074】本発明では、限られた幅43を持つキャリア流路を通してキャリアを排出するので、図28から図30の従来例に比べ、ゲート電極と半導体層が上下に重なる面積を低減することができ、ゲート電極と半導体層間の寄生容量を低減することができる。この構成は、キャリア流路の幅43を、ゲート電極の突起幅45に比べ

小さくすることで実現できる。

【0075】また特に、ゲート電極の内、コンタクトを設ける領域201（図2、ゲート電極のふくらんだ部分、以下ゲートコンタクト台座と記す）は面積が大きいので、この領域201をキャリア流路12よりも外側にある素子分離領域11上に設けるという配置をとると、寄生容量の低減に有効である。かかる寄生容量の問題について本発明では、キャリア流路領域18を除いて、キャリアを流し込むための半導体層3を素子領域10の外に設けないので、キャリヤー流路領域18上を避けて、半導体層を持たない素子分離領域11上に、面積を消費するゲートコンタクト台座201等を設け、ゲート電極の寄生容量を減らすという方法を取ることができる。

【0076】ボディコンタクト引き出し部13を、通常のFETにおいてウェルコンタクトが設けられる位置まで延長し、通常のFETにおいてウェルコンタクトを設ける位置において、ボディコンタクト42（ボディコンタクト引き出し部13と配線の接続）を設けるようにすると、通常のFETに用いる素子の配置を、そのままSOI-MOSFETに用いることが可能になる。

【0077】尚、本実施例に於いては、前記した様に、当該素子領域10に設けられた当該チャネル形成領域5の少なくとも一部が、当該素子領域10と当該キャリア流路領域18との境界の近傍に於て、略急峻な壁部20が設けられており、且つ当該チャネル形成領域5の当該壁部20の一部から当該素子領域10と当該素子分離領域11との間に形成された当該キャリヤー流路領域18内に延在するキャリヤー流路12が形成されており、当該キャリヤー流路12を構成する当該半導体層3の上部表面21が略平坦状に形成されると共に、当該上部表面21の位置が、当該チャネル形成領域5を形成している当該半導体層3の表面位置22よりも低い位置に形成され、然も、当該キャリヤー流路領域12を構成する当該半導体層3の上部表面21と当該ゲート電極8との間には、絶縁層が配置された構成となっているので、LOCOSによる熱酸化膜を使用した場合に比べ、素子領域と素子分離領域との接続部、つまり“遷移領域”で付着する寄生容量が少なく、然も、当該ゲート電極8とキャリヤー流路領域12との重なりを少なくし且つ両者の間を出来るだけ離間させる事が可能となるので、一層寄生容量の付着を減少させ、素子の高速スイッチング操作を容易に実現させる事が可能となる。

【0078】第1の実施例に於けるより具体的な寸法、材質の一例について述べる。埋め込み酸化膜2の膜厚は400nm、SOI層3の膜厚は素子領域部10で200nm、キャリヤー流路領域12及びボディコンタクト引き出し部13で100nm、ゲート酸化膜7の膜厚は3nm、ゲート電極8の厚さは200nmとする。チャネル幅（図2における横方向の素子領域の幅）は5μm、チャネル長さ（チャネル形成領域を挟んだソース／

ドレイン領域の間隔) は $0.2 \mu\text{m}$ 、キャリヤー流路領域 1 2 の幅 W_1 (図 2 における横方向の素子領域の幅) は $0.8 \mu\text{m}$ 、ボディコンタクト引き出し部 1 3 は一边 $0.8 \mu\text{m}$ の正方形とする。

【0079】ゲート電極 8 下のチャネル形成領域 5 には、SOI 層に $1 \times 10^{18} \text{ cm}^{-3}$ のホウ素が導入され、ソース/ドレイン領域には $1 \times 10^{20} \text{ cm}^{-3}$ のヒ素が導入される。ソース/ドレイン領域 9 におけるヒ素の深さ方向の分布は SOI 層の下部界面まで到達する。SOI 層のうちキャリヤー流路領域 1 2 を成す部分には $1 \times 10^{18} \text{ cm}^{-3}$ のホウ素が導入され、ボディコンタクト引き出し部 1 3 には、 $1 \times 10^{20} \text{ cm}^{-3}$ のホウ素が導入される。ゲート電極 8 は n^+ ポリシリコンとする。

【0080】第 1 の実施例の他の構成例

次に、上記で説明した第 1 の実施例を変形した具体例を以下に説明する。即ち、前記実施例 1 に於いては、図 3 に示す様に、当該素子分離領域 1 1 に形成されるボディコンタクト引出部 1 3 は、当該キャリヤー流路 1 2 の厚さと略同じ厚さに形成したものであるが、図 4 にその構成を示す具体例に於いては、ボディコンタクト引き出し部 1 3 の膜厚を、当該キャリヤー流路 1 2 の膜厚よりも厚く設けたものである。

【0081】例えば、図 4 のように、素子領域 1 0 の SOI 層 3 と同じ厚さであっても良い。SOI 層 3 が薄いと、第 2 の導電性を有する不純物イオンを高濃度に注入した後、熱処理を行っても結晶性が充分に回復しないことがあるが、このようにボディコンタクト引き出し部 1 3 の膜厚を厚くしておけば、高濃度の不純物を導入しても、SOI 層の下部では結晶性が破壊されないので、熱処理によって全体の結晶性を回復させることが容易になる。

【0082】この場合、キャリヤー流路領域 1 2 の幅 W_1 (4 3) が大きくなる分、ゲート電極 8 と半導体層 3 間の寄生容量は増すが、キャリヤー流路領域 1 2 の幅 W_1 (4 3) をゲート電極 8 の突起幅 4 5 よりも小さくしておけば、ゲート電極と半導体層が上下に重なる部分の面積を抑制し、素子分離領域 1 1 の全体に半導体層 3 がある従来例よりは寄生容量が小さいという効果が得られる。

【0083】又、本発明に係わる上記実施例 1 の別の態様としては、図 4 3 に示すように、キャリヤー流路内的一部領域を、厚いキャリヤー流路 2 0 5 により構成しても良い。この例では、厚いキャリヤー流路 2 0 5 は、キャリヤー流路領域のうち、ゲート電極から離れた部分に設けられ、キャリヤー流路の他の部分と同じ導電型、ほぼ同程度の不純物濃度を持つが、キャリヤー流路の他の部分よりも膜厚が大きい。例えば、膜厚が素子領域と同じになる。

【0084】なお、図 4 3 の実施例では、キャリヤー流路の一部に半導体層の厚い領域が設けられているが、この場合、素子領域とキャリヤー流路領域の境界は、図 4 3 中

の境界線 D 2 0 5 - D 2 0 5' である。境界線 D 2 0 5 - D 2 0 5' は、ゲート電極の下部において素子領域 1 0 とキャリヤー流路 1 2 との間に段差が設けられる位置を延長したものに相当する。

【0085】これが境界となる理由は、図中境界よりも右側の領域では、ゲート電極と半導体層間に設けられる絶縁膜が厚いため、ゲート電極により半導体層表面にチャネルを形成することが難しく、通常の MOSFET の作用を持たないか、あるいは境界の左側に比べ著しく MOSFET としての作用が弱いために、素子領域として動作し得ないためである。

【0086】厚いキャリヤー流路 2 0 5 は、膜厚が大きい分だけキャリヤー流路領域の抵抗が減らせるという作用を持つとともに、ゲート電極の下及びゲート電極の近傍を避けて設けられるので、ゲート電極とキャリヤー流路間の寄生容量を増やすことがないという作用を持つ。厚いキャリヤー流路が設けられる領域とゲート電極が設けられる領域との距離は、例えば $0.1 \mu\text{m}$ 以上とする。厚いキャリヤー流路部では、ゲート電極との間の寄生容量を減らす必要がないので、厚いキャリヤー流路上にはフィールド酸化膜を設けなくとも良い。

【0087】次に、本発明に係る上記実施例 1 の別の態様としては、当該電界効果型トランジスタは、例えば、SIMOX、張り合わせ等により形成した SOI 基板、あるいは ELO (横方向エピタキシャル成長)、レーザー・アーニール等、他の方法により形成した SOI 基板上に作成されるもので有っても良い。これら SOI 基板において絶縁層上に形成される半導体層 (SOI 層) は単結晶である。これら SOI 基板を用いて形成された電界効果型トランジスタを構成する半導体層は、その一部、あるいは全部が単結晶となる。

【0088】ここで、SIMOX とは、Separation-by-implanted-oxygen の略称であり、シリコン基板中に酸素をイオン注入することにより、薄いシリコン層の下に酸化膜層を設ける技術であり、又は係る技術によって形成された SOI 基板を言う。貼り合わせ技術とは、二枚のシリコン基板を、それらの間に酸化膜を挟み込む様にして張り合わせて形成する SOI 基板形成技術である。

【0089】一方、ELO は、Epitaxial Lateral Over Growth の略称であり、絶縁体上に横方向に半導体層をエピタキシャル成長させる技術である。上記実施例では、素子が形成される半導体層が、単結晶の Si 層よりも SOI 層 3 である場合について述べたが、半導体層は単結晶に限らない。絶縁体上の多結晶半導体、あるいはアモルファス半導体に形成される TFT においては、余剰なキャリヤーが再結合により失われやすいため、一般に単結晶の SOI 基板上に形成される電界効果型トランジスタよりも基板浮遊効果は発生しにくいが、TFT においても基板浮遊効果を抑制する必要のある時は、本発明を用いると好ましい。

【0090】また、半導体層の一部が単結晶であり、他の部分が多結晶であっても良い。例えば、チャネル形成領域を多結晶ではなく単結晶とすると、キャリアの移動度が増し、ドレイン電流が増すという効果があるので、チャネル形成領域だけが単結晶の半導体で他の部分において半導体層中に多結晶の領域がある構成でも良い。また、チャネル形成領域の近傍を多結晶ではなく単結晶とすると、結晶欠陥を介し漏れ電流が減るという効果が得られるので、少なくともチャネル形成領域とチャネル形成領域の近傍だけが単結晶の半導体で、他の部分において半導体層中に多結晶の領域がある構成でも良い。

【0091】埋め込み酸化膜層の厚さは、Si-MOX基板においては典型的には80nmから400nm、張り合わせ基板においては100nmから2μm程度であるが、本発明の効果は埋め込み酸化膜層の厚さとは関係はないので、これらよりも膜厚の大きさ、あるいは小さな埋め込み酸化膜を、静電耐圧や熱伝導性の仕様を満たすように用いれば良い。

【0092】但し、一般には支持基板とSOI層間の寄生容量を小さくするために、埋め込み酸化膜厚はゲート酸化膜厚の少なくとも5倍程度よりは大きくすることが有利である。また、埋め込み酸化膜に変えて、他の絶縁体を用いても良い。例えば、Si₃N₄、アルミナ、多孔質SiO₂、アモルファスカーボン等を用いても良い。また、埋め込み酸化膜を空洞で置き換えても良い。支持基板を設けず、サファイア基板、ガラス基板上の絶縁体上にトランジスタを形成しても良い。

【0093】素子領域10におけるSOI層3の厚さは、典型的には50nmから250nm程度であるが、これについても特に制限は無い。但し、ソース／ドレイン領域部9の寄生容量を低減するという観点から、ソース／ドレイン領域9に導入した不純物がSOI層3の底に届くか、あるいはソース／ドレイン領域下が空乏化する程度の厚さに、SOI層の厚さを設定することが望ましい。

【0094】当該キャリヤー流路領域18に於けるキャリヤー流路12の膜厚は、素子領域10のSOI層3よりも薄ければ良い。但し、寄生容量を低減するという観点から、キャリヤー流路領域と素子領域とのSOI膜厚の段差は、ゲート酸化膜厚の5倍程度よりも大きいことが望ましい。キャリヤー流路領域18に於けるキャリヤー流路12の幅W₁（43）がチャネル幅Wの1/5であり（例えばそれぞれ1μm、5μm、キャリヤー流路領域12は素子領域10端の一方だけに設けると仮定）、ゲート酸化膜厚が3nm、キャリヤー流路領域上のフィールド酸化膜厚が15nmとすると、ゲート電極8とキャリヤー流路領域18に於けるキャリヤー流路12間の寄生容量は、ゲート電極8とチャネル形成領域5間の容量の4%に抑えることができる。

【0095】また、前記壁部20の段差を、ゲート酸化

膜7の膜厚の9倍とし、ゲート酸化膜の上端とフィールド酸化膜の上端が同じ高さとすると、素子領域端10の両側に同じ条件のキャリヤー流路領域18を設けた場合にも、ゲート電極8とキャリヤー流路領域18間の寄生容量を、ゲート電極8とチャネル5間の容量の4%に抑えることができる。

【0096】但し、キャリヤー流路領域18の電位分布を均一にするという観点から、キャリヤー流路領域18のキャリヤー流路12の膜厚は、チャネル幅W方向に（図1の横方向）ある一定の範囲で一定であることが望ましい。また、キャリア流路12のすべての範囲で一定であることが、より望ましい。チャネル形成領域5の不純物濃度は、典型的には $1 \times 10^{17} \text{ cm}^{-3}$ から $3 \times 10^{18} \text{ cm}^{-3}$ の範囲である。チャネル形成領域5には、nチャネルトランジスタの場合はホウ素等のアセプタ不純物が導入され、又、pチャネルトランジスタの場合はリン、ヒ素等のドナー不純物が導入される。

【0097】ソース／ドレイン領域9の不純物濃度は、典型的には $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{21} \text{ cm}^{-3}$ の範囲であり、 $1 \times 10^{20} \text{ cm}^{-3}$ よりも大きいことが寄生抵抗低減という観点から望ましい。ソース／ドレイン領域9には、nチャネルトランジスタの場合はリン、ヒ素等のドナー不純物が、pチャネルトランジスタの場合はホウ素等のアセプタ不純物が、導入される。

【0098】ゲート絶縁膜7の厚さは通常2nmから20nm程度である。これより薄いと、トンネル電流により、ゲート電極からの漏れ電流が発生するが、素子の用途上漏れ電流が多くてもよい場合は、これより薄い絶縁膜を用いてもよい。また、当該膜厚を20nm以下とするのはLSI用の素子として一般に要求されるだけのドレイン電流を得るためにあるが、高耐圧素子等において、ドレイン電流よりもゲート酸化膜中の電界緩和が重要な場合はこれよりも厚くてもよく、また、ゲート絶縁膜はSiO₂であっても、それ以外の絶縁体、例えばSi₃N₄、Ta₂O₅等であってもよい。また、複数の材料が積層されたものであってもよい。

【0099】ゲート長（つまり、ゲート電極8に関する図2の縦方向の長さ）は、例えば30nmから0.6ミクロン程度の範囲とする。これはLSI用のトランジスタを想定した場合、通常使われている寸法、及び将来使われるといわれている寸法であるが、高耐圧MOS等、他の用途に適用する場合は、これより大きくてもよい。また、素子の微細化が重要な場合はこれよりも小さくても良い。

【0100】また、nチャネルトランジスタにおいてゲート電極はp⁺ポリシリコン、Mo、W、Ta等の金属、金属シリサイド、TiN等の金属化合物等であってもよい。pチャネルトランジスタにおいてゲート電極は通常p⁺ポリシリコンであるが、n⁺ポリシリコン、Mo、W、Ta等の金属、金属シリサイド、TiN等の金

属化合物等であってもよい。 n チャネルトランジスタにおいてゲート電極に n^+ ポリシリコン以外の材料、 p チャネルトランジスタにおいてゲート電極に p^+ ポリシリコン以外の材料を用いる時は、チャネル形成領域の不純物濃度を前記値よりも低くするか、あるいは前記導電型とは極性の異なる不純物を導入するか、あるいは導入しない。

【0101】また、ソース／ドレイン領域は均一の深さを持つものではなく、チャネル形成領域に接する部分だけ浅く設けるエクステンション構造、チャネル形成領域に接する部分の不純物濃度を低くする LDD 構造を持つても良い。また、ソース／ドレイン領域の少なくとも一部、あるいはエクステンション領域等のソース／ドレイン領域に接続する領域の少なくとも一部が、エピタキシャル成長などにより、チャネル形成領域の表面よりも上に突起する構造を持つても良い。

【0102】尚、本発明に於ける上記各具体例に於て、当該ゲート絶縁膜、埋め込み絶縁膜の材質は、上記した様なシリコン酸化膜以外の材料を使用する事も可能である。本発明に係る上記実施例に示された当該電界効果型トランジスタ 100 の製造方法としては、例えば、絶縁体基板上のある領域、または半導体基板上に形成された絶縁膜上のある領域に配置された半導体層に形成される第一導電型のソース／ドレイン領域を持つ電界効果型トランジスタの製造方法であって、絶縁体上の半導体層を、ある幅と長さを持つ領域を残して、エッティングによりその外部の領域を除去する工程と、当該ある幅と長さを持つ領域のうち、周辺部に位置する少なくとも一部の領域を薄膜化する工程と、半導体層のうち、少なくとも薄膜化された領域に、第 2 導電型の不純物を導入する工程と、半導体層のうち、薄膜化された領域の上に、絶縁膜を堆積して埋め込む工程と、薄膜化されない半導体層を少なくとも含む領域の上部にゲート絶縁膜を設ける工程と、ゲート絶縁膜が形成された領域を少なくとも含む領域上にゲート電極を設ける工程と、薄膜化されない半導体層中に第一導電型のソース／ドレイン領域を設ける工程と、を含む電界効果型トランジスタの製造方法である。

【0103】本発明に係る電界効果型トランジスタの製造方法に於ける特徴の一つは、当該チャネル形成領域 5 と当該キャリヤー流路領域 18 との境界部には、略急峻な壁部 20 を積極的に形成する事にある。係る工程は、上記した様に、LOCOS により得られるシリコン酸化膜によって発生する、素子領域と素子分離領域との境界部における寄生容量の付着と言う問題を確実に回避する為に重要な工程である。

【0104】また、係る工程は、上記した様に、LOCOS 法を用いないので、素子分離領域の酸化膜を形成するための熱酸化中に、不純物分布が変化するという問題が発生しない。また、LOCOS 法を用いた場合のよう

に、不純物分布の変化を避けるために厚い酸化膜を通して不純物を導入する必要がなく、第三の課題（ロ）を解決できる。単に素子間を分離するだけの通常の素子分離方法とは異なり、本発明は素子領域外に設けたキャリア流路に、キャリアの排出という役割を持たせるため、キャリア流路 12 の不純物の制御は重要である。特に、キャリア流路 12 の抵抗を下げるために、キャリア流路 12 の不純物濃度を通常の素子分離領域における不純物濃度よりも高く設定する場合には、不純物の制御はより重要ななる。以上の観点から、本発明の製造工程は、本発明の効果を得るために重要な作用をもたらす。

【0105】以下に、上記した実施例に開示されている電界効果型トランジスタ 100 の製造方法の具体例について詳細に説明する。即ち、図 10 に示す様に、シリコンウェハよりなる支持基板 1 上に厚さ 100 nm の SiO₂ よりなる埋め込み酸化膜 2 を介して厚さ 250 nm の単結晶シリコン層よりなる SOI 層 3 が設けられた SOI 基板において、その表面を 30 nm 酸化してパッド酸化膜 20 を形成し、統いて厚さ 120 nm の窒化シリコン膜 21 を CVD により堆積する。

【0106】統いて SOI 層 3、パッド酸化膜 200 及び窒化シリコン膜 210 よりなる積層構造を、通常のフォトリソグラフィ（第 1 のフィールド PR）と RIE（反応性イオンエッティング）により幅 7 μ m に加工する。統いて、幅 5 μ m のフォトリソグラフィにより第 2 のフィールド PR レジスト 220 を、第 1 のフィールド PR によりバターニングされた前記積層構造上に設け、第 2 のフィールド PR レジスト 22 をマスクに、窒化シリコン膜 210 とパッド酸化膜 200 を RIE によりエッティングする。統いて同じレジストをマスクに、SOI 層 3 を厚さ 150 nm にわたってエッティングする。

【0107】これにより、図 11 に示す様に、SOI 層 3 は中央の幅 5 μ m の領域ではその厚さが 250 nm、両端の幅 1 μ m の領域ではその厚さが 100 nm となる。統いて、全体に厚さ 350 nm の酸化膜を CVD 法により堆積し、CMP（ケミカル メカニカル ポリッシュ）により酸化膜を研磨し平坦化する。このとき、窒化シリコン膜 210 がストップになり、CMP がその上面の位置で停止する。

【0108】統いて、RIE により、窒化シリコン膜 210、パッド酸化膜 200、その両側の酸化膜を、SOI 層が露出するまでエッティングし除去すると、図 12 のように、SOI 層 3 の回りの、SOI 層が薄くなった部分 12 の上部にフィールド酸化膜 6 がある構造が得られる。統いて、SOI 層上にイオン注入によりホウ素をその濃度が $1 \times 10^{18} \text{ cm}^{-3}$ となるように導入し、厚さ 3 nm のゲート酸化膜 7 を熱酸化により形成し、 n^+ ポリシリコンを堆積し、フォトリソグラフィと RIE によりこれを幅 0.25 μ m（図 2 の上下方向の幅）に加工し、ゲート電極 8 を形成し、ゲート電極をマスクにヒ素を

$1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入してソース／ドレイン領域 9 を形成すると、図 1、2 に示す本発明の電界効果型トランジスタ 100 が得られる。

【0109】この時、S O I 層の厚い部分が素子領域 10、S O I 層のない部分が素子分離領域 11、上部にフィールド酸化膜 6 が積層した薄いS O I 層がキャリヤー流路領域 18 となる。また、図 11 の形状を形成後、図 13 に示す様に全体に厚さ 200 nm の酸化膜を C V D 法により堆積し、R I E によりエッチバックすることにより酸化膜側壁 23 を形成し、酸化膜側壁 23 をマスクに高濃度のホウ素をイオン注入または拡散すると、キャリヤー流路 12 の端に高濃度部を持つ、図 7 のような構造が形成できる。このとき、素子領域 10 の低濃度のホウ素は、図 10 におけるパッド酸化膜堆積前等に、酸化膜側壁 23 を形成するよりも前に形成しておけば良い。

【0110】又、本発明に於いては、 p^+ のボディコンタクト部引き出し部 13 は薄膜化しても良いし、しなくても良い。薄膜化しない場合は、第 2 のフォトレジストでボディコンタクト引き出し部 13 を形成しようとする部分を覆い、薄膜化のためのエッチングが加わらないようにして、チャネル形成領域と厚さを揃えれば良い。薄膜化する場合は、第 2 のフォトレジストでこの部分を覆わないようにして、薄膜化のためのエッチングを加わえれば良い。 p^+ ボディコンタクト引き出し部 13 は薄膜化すると、 p^+ ボディコンタクト部 13 及びその周辺が比較的平坦になるという長所が得られる。

【0111】 p^+ ボディコンタクト引き出し部 13 は薄膜化しない場合は、 p^+ ボディコンタクト引き出し部 13 へのイオン注入後の結晶回復が起こりやすくなり、 p^+ ボディコンタクト引き出し部 13 のシート抵抗、及びコンタクト抵抗を小さくできる。C M P 後、窒化膜は通常の素子分離工程と同様にウェットエッチングにより除去しても良い。この場合、素子分離領域 11 でフィールド酸化膜 6 の表面がシリコン層 3 よりも高くなる形状となる。そのまま、トランジスタを形成しても良いし、高くなった部分を R I E またはウェットエッチングで取り除き平坦化しても良い。

【0112】リソグラフィには電子ビーム、X線等、光以外を用いるものを用いても良い。また、フィールドの酸化膜を C V D で堆積する前に、フィールド酸化膜とシリコン層との界面を安定化させる目的で、シリコン層の表面に薄い熱酸化膜（例えば厚さ 5 nm 程度）を設けても良い。当該ソース／ドレイン領域 9 は、当該半導体層 3 の周辺部における少なくとも一部の領域を除く領域、例えば周辺部において半導体層の他の領域よりも膜厚が薄くなるように加工されたキャリヤー流路領域 18 を除く領域で、当該半導体層 3 中のチャネル形成領域 5 の両側に形成するものである。

【0113】当該ソース／ドレイン領域 9 は、半導体層 3 のうち、その膜厚を薄くする前記加工が加えらない領

域中の、チャネル形成領域 5 の両側に当たる部分に形成するものである。当該ソース／ドレイン領域 9 には、第 1 の導電性を有する不純物を高濃度に導入し、当該キャリヤー流路領域 18 には第 2 の導電性を有する不純物を低濃度に導入するものである。

【0114】また、当該チャネル形成領域には、ソース／ドレイン領域よりも低濃度の不純物が導入される。不純物は通常第二導電型であるが、ゲート電極の材料に応じて、必要なしきい値電圧を満たすために必要な第二導電型の不純物を低濃度に導入するか、あるいは不純物を導入しないものである。

【0115】上記した様に、本発明に於ける電界効果型トランジスタの製造方法に於いては、薄膜化された当該キャリヤー流路領域 18 に於ける当該 2 の上面及び素子分離領域部に、絶縁膜 6 を堆積し、該絶縁膜 6 を C M P により平坦化することが望ましい。また、C M P 以外の方法により平坦化しても良い。例えば、全体に S O G (スピノングラス) や有機膜等の平坦化材を塗布した上、エッチバックする方法等、C M P 以外の方法により該絶縁膜を平坦化しても良い。また、最初から平坦な形状になるように該絶縁膜を堆積しても良い。

【0116】例えばバイアススピッタやバイアス E C R C V D で平坦に S i O 2 等の絶縁膜を堆積する方法、絶縁膜として S O G を用い、これを平坦に塗布した上で、素子領域が露出するまで、R I E 等のエッチング工程によりエッチバックする方法、絶縁膜としてポリイミド等の有機膜を用い、これを平坦に塗布した上で、素子領域が露出するまで、R I E 等のエッチング工程によりエッチバックする方法等を用いても良い。

【0117】第 2 の実施例

次に、本発明に係る当該電界効果型トランジスタ 100 の第 2 の実施例について述べる。第 2 の実施例においては、ソース／ドレイン領域 9 を構成する n^+ 型領域 9 は、S O I 層 3 の下部に達せず、 n^+ 領域の下にはチャネル形成領域と同程度の不純物濃度を持つ p 型領域、即ち素子領域に於ける低濃度第 2 導電型領域 204 が設けられる。その場合の上面図を図 6、図 6 の A 6 - A 6' 断面における立面図を図 5 に示す。

【0118】この場合、キャリヤー流路領域部 18 に形成されたキャリア流路 12 の上端が、 n^+ 領域の下端よりも下に位置するようにすれば、 n^+ 層とキャリヤー流路 12 の p 層が離れるので、この二つの領域間にリーク電流が流れにくくなるという長所が得られる。又、キャリア流路 12 の p 型不純物濃度を高くすることができるという長所を持つ。第一の実施例の構造では、キャリア流路 12 の p 型不純物濃度を上げることは、キャリア流路 12 の抵抗を減らす効果を持つ一方、リーク電流を増す作用があるが、本実施例に示した構造では、リーク電流が流れにくいので、キャリア流路 12 の p 型不純物濃度を上げることができる。

【0119】 例えば、キャリア流路12をチャネル形成領域よりも不純物濃度の高いp⁻型、さらにはp⁺型(10^{19} cm^{-3} 台から 10^{21} cm^{-3} 台)にすることもできる。また、n⁺層がキャリヤー流路12のp⁻層の電位分布に与える影響を小さくできるという長所が得られる。また、段差がn⁺層の厚さよりも大きくなるように設定すれば、ソース／ドレイン領域9を形成するためのイオン注入時に、イオンはキャリヤー流路領域18の領域のシリコン層には注入されないので、キャリヤー流路領域18へのイオン注入を防ぐためのレジストマスクを設ける必要が無くなる。

【0120】 第3の実施例

次に、本発明に係る当該電界効果型トランジスタ100の第3の実施例について説明するならば、本実施例に於いては、図7乃至図9、図15、図17、図39ないし図42に示す様に、キャリヤー流路領域18の少なくとも一部の領域に不純物濃度の高い領域16を設け、その不純物濃度の高い領域16とソース／ドレイン領域9との間に不純物濃度の低い領域14または202を設けたものである。

【0121】 なお、図7は図15のC15—C15'断面、図17のC17—C17'断面または図41のC203—C203'断面における立面図である。図8及び図9は、7の構造を一部変更した場合の、図41のC203—C203'に相当する位置における立面図である。図39図42のC204—C204'断面における立面図である。図40は図41のA203—A203'断面における立面図である。

【0122】 即ち、図7はSOI層3の薄いキャリヤー流路領域18に設けられたキャリア流路12の中に低濃度領域14を設けた例であり、図8はSOI層3が厚い素子領域10の部分に低濃度領域(素子領域端低濃度部202)を設けた例を示す。いずれもキャリヤー流路領域18に設けられた当該キャリヤー流路12において、低濃度領域に隣接する不純物濃度が高い領域(高濃度領域16)を設ける。

【0123】 また、図39ように、低濃度部202をSOI層が厚い部分に設ける方法は、低濃度部とゲート電極間の寄生容量が大きくなる一方、SOI層が厚い分だけ低濃度部の抵抗が下がるという長所があるので、素子の用途上、チャネル形成領域と高濃度部との間の抵抗を下げるなどを重視する必要がある場合に有効である。また、図39に示す様に、低濃度領域をSOI層3の厚い部分と薄い部分の両方にまたがって形成しても良い。即ち、SOI層が厚い素子領域10に設けられる低濃度部202と、SOI層が薄いキャリア流路12に設けられる低濃度部14の二者によって、低濃度領域が形成されても良い。

【0124】 一方、上記の高濃度層16の濃度は典型的には $1 \times 10^{19} \text{ cm}^{-3}$ 以上、特に $1 \times 10^{20} \text{ cm}^{-3}$ から

$1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。又、当該低濃度層14は、その中に少なくとも 10 nm 以上の空乏層が広がる濃度にすることがよく、典型的には $1 \times 10^{17} \text{ cm}^{-3}$ から $2 \times 10^{18} \text{ cm}^{-3}$ の範囲であるが、この範囲に無くとも、高濃度層よりも低くさえあれば良い。当該低濃度層14の不純物濃度はチャネル形成領域と同じでも良く、あるいはチャネル形成領域よりも高いか低いように設定されても良い。

【0125】 当該低濃度層14の不純物濃度はチャネル形成領域と同一導電型、同濃度とする場合は、当該低濃度層14とチャネル形成領域へ同時に不純物を導入すれば良いので、製造工程を簡略化できる。低濃度層14の幅(図7、8、9、39、40におけるキャリア流路12の横方向の長さ、図15、図17、図41及び42の記号W₁(43))は、 10 nm 以上あれば効果が得られる。しかし、レジストをマスクにしたイオン注入により、低濃度層と高濃度層を分けて形成する場合は、加工の容易性から、p⁻領域は $0.1 \mu \text{m}$ 以上、特に $0.2 \mu \text{m}$ 以上あることが望ましい。また、低濃度領域の幅は広く、不純物濃度が低いほど、電界を緩和しリーク電流を抑制する効果が増す。

【0126】 ここで高濃度層16を設けるのは、キャリヤー流路領域の抵抗を下げ、キャリヤー流路領域12に余剰キャリアが流れやすくするためであり、低濃度層14を設けるのは、高濃度層16とソース／ドレイン領域9の拡散層が近接して、双方の間に漏れ電流が流れるこれを防ぐこと、および双方の間に寄生容量が付くことを防ぐことが目的である。

【0127】 本発明に於て、当該キャリヤー流路12に注入される不純物の濃度は、特に限定されるものではないが、好ましくは、低濃度の領域においてもSOI層が空乏化しない程度の濃度である事が望ましい。当該キャリヤー流路領域12には、余剰となるキャリアと同じ導電型の不純物が導入されれば良いが、キャリヤー流路領域の電位を安定させるとする観点から、当該不純物の濃度は当該キャリヤー流路領域12の全体の空乏層が広がらない程度、つまり空乏化しない程度に高く設定する事が望ましい。

【0128】 本実施例では、ボディコンタクト42は図15に示すように、キャリヤー流路領域12の内、高濃度の領域16の一部に侵入するようにして設けても良い。また、図16、図17のように、ボディコンタクト42の全体がキャリヤー流路領域18に於けるキャリヤー流路12の内、高濃度の領域16の内部に位置するように設けても良い。ボディコンタクト引き出し部42を構成するための不純物濃度が高い領域の一部または全部を、これらはキャリア流路内の高濃度領域16と兼用する構造である。このようにすることによってレイアウトが単純化できるという利点が得られる。

【0129】 この場合、図15のように、キャリア流路

内にボディコンタクトの全体を設けるのではなく、突起部したボディコンタクト引き出し部13を設けることは、キャリヤー流路領域の幅W1(43)を、ソース/ドレイン領域とボディコンタクトの端(ソース/ドレイン領域から離れたほうの端)との距離44よりも小さくする効果がある。このようにしてキャリヤー流路領域を幅W1を狭くした分だけ、ゲート電極と半導体層間の寄生容量を小さくすることができる。

【0130】また、図16、図17のように、ボディコンタクト42の全体をキャリア流路12中の高濃度領域16に設け、ボディコンタクト引き出し部13を設けない構造では、キャリア流路12の幅をボディコンタクト引き出し部13に相当する分だけ広げることに伴い、ゲート電極と半導体層間の寄生容量が増すが、レイアウトが簡単になるという長所があるので、レイアウトを単純化する必要がある場合に有効である。

【0131】又、図15、図16、図17のように、ボディコンタクトの一部または全部を、キャリア流路内の不純物濃度が高い領域16に設ける場合、ボディコンタクトが設けられる位置の周辺のキャリア流路を、図43のような厚いキャリア流路205により構成しても良い。この場合、厚いキャリア流路205は、キャリア流路領域のうち、ゲート電極から離れた部分に設けられ、キャリア流路の他の部分と同じ導電型で、キャリア流路の他の部分よりも膜厚が大きく、またキャリア流路のうちソース/ドレイン領域に接する部分やチャネル形成領域に接する部分よりも不純物濃度が高い。

【0132】この構成により、ボディコンタクトが設けられる部分の半導体層を厚く出来るので、半導体層に高濃度の不純物を導入しても、その後の結晶性の回復が容易となり、不純物濃度が高い良質の結晶が得やすくなるので、コンタクト抵抗を下げる事が容易となる。又、厚い領域はゲート電極を避けてもうけらるので、ゲート電極と半導体との間の寄生容量を増加させることはなく、又、高濃度領域ではソース/ドレイン領域から離れて設けられるので、高濃度領域の存在によって、リーク電流が増す事もない。

【0133】図9は浅いn⁺拡散層9の下の一部に低濃度層が入り込み、記号202の領域を形成し、n⁺拡散層9の下で低濃度層14のない領域では、n⁺またはn-型の領域(第2の第1導電型領域)15が設けられる例を示す。この構造は、ソース/ドレイン領域9と高濃度領域16を、横方向だけでなく、縦方向にも隔離できるので、ソース/ドレイン領域と高濃度領域間の漏れ電流を抑制する方法として有効である。ここで、第2の第1導電型領域15は、n⁺拡散層9の下にp-n接合が出来、寄生容量が付くことを防ぐことが目的である。

【0134】又、第一の実施例に関連して図43において示した厚いキャリア流路205中の一部の領域に、不純物濃度が高い領域16を設けても良い。係る構造を形

成する為には、例えば、図13に示す様に、薄膜化された当該キャリヤー流路領域の周辺部の上部35、及び薄膜化されない当該チャネル形成領域の側壁20に当たる部分に絶縁体の側壁23を設け、統いて薄膜化された当該キャリヤー流路領域12の周辺部の当該側壁に覆われない部分36に、ソース/ドレイン領域9とは異なる導電型の不純物を導入することによって実現出来る。

【0135】また、チャネル形成領域等、半導体層中の少なくとも一部が単結晶半導体により形成される場合において、キャリア流路のうち不純物濃度の高い領域の少なくとも一部を多結晶としても良い。これは当該高濃度領域では、不純物濃度を高くしたことにより抵抗が下がるので、多結晶を用いることによる電気抵抗の増加を相殺できるためである。

【0136】第4の実施例

次に、本発明に係る第4の実施例を説明する。即ち、図10の構造を形成後、幅5μmの第1フィールドPRレジスト30をパターニングし、このレジスト30をマスクに、窒化シリコン膜210とバッド酸化膜200をRIEによりエッチングする。

【0137】統いて同じレジストをマスクに、SOI層3を厚さ150nmにわたってエッチングする。これにより、図18に示す様に、SOI層3は中央の幅5μmの領域ではその厚さが250nm、その周囲ではその厚さが100nmとなる。レジスト30を除去したのち、全体に厚さ1μmの酸化膜をCVDにより堆積し、これをRIEによりエッチバックすることにより、厚い酸化膜側壁31を形成する。厚い酸化膜側壁31をマスクにSOI層3をエッチングすることにより、図19に示す様に、5μmの厚いSOI層の両側に、幅1μm厚さ100nmの薄いSOI層領域ができる。ここで、厚いSOI層が素子領域10、薄いSOI層がキャリヤー流路領域18、SOI層のない領域が素子分離領域11となる。

【0138】第5の実施例

第1から第4の実施例において、素子分離領域11に、キャリヤー流路領域18のキャリヤー流路12よりも膜厚の薄い半導体層を残しても良い。この場合、図7に対応する形状は図22ようになる。但しここでは図7におけるp⁺領域16を省略した例を示した。

【0139】第1から第4の実施例で、パルク基板上に形成される電界効果型トランジスタにおいて実施して、図23の形態を得ても良い。この場合、素子分離領域11は素子領域10及びキャリヤー流路領域18の二者よりも、深くエッチングされた形態を持つ。図7に対応する形状を図23に示す。但しここでは図3におけるp⁺領域16を省略した例を示した。

【0140】本発明に於て、パルク基板上のFETや、厚いSOI層上に形成されるFETでは、余剰なキャリヤーが基板に流れ込むことが可能であるが、本発明の構

成によりキャリヤーを良く流れやすくし、キャリヤーの排除機能をより高める事が可能となる。一般に、SOI基板に於いては、基板不純物濃度が低い為、余剰キャリヤーによる電流に対する基板部の抵抗は小さくない。

【0141】又、パルクFETにおいても、ソース／ドレイン領域の寄生容量を小さく擦るために、基板不純物濃度を下げるに、同様に余剰キャリヤーによる電流に対する基板部の抵抗が増加する。本発明を、パルク基板上のFETや、厚いSOI層上に形成されるFETに適用すれば、これらの素子に於て、基板不純物濃度が低い場合にもキャリヤー流路を確保する事が出来、余剰キャリヤーの排出能力を高める事が出来る。

【0142】また、GaAs等、基板抵抗が高い半絶縁性基板上に形成される素子についても本発明は同様の効果がある。図22の形態はSOI層が厚い場合、図23の形態はパルクFETにおいて余剰キャリアを排出することに適した構造である。通常SOI層が厚い場合やパルクFETにおいてトレンチ分離を行うと、余剰キャリアは一旦基板に流入し、トレンチの下の基板を経由し、ウェルコンタクトに流れ込み排出される。

【0143】この時、余剰キャリアの排出には、基板不純物濃度が高くすることにより、基板抵抗を下げる事が有利であるが、チャネル表面からチャネルの下部の深い位置、トレンチの下までに至る広い範囲に均一に高濃度の不純物を導入しようとすると、高エネルギーイオン注入や、エネルギーを何通りかに変化させる多段のイオン注入等が必要となり、製造工程が複雑になる。

【0144】これに対して本発明のように段差部にキャリヤー流路12を設けると、浅い位置にあるキャリヤー流路12に余剰キャリアの排出に要求されるだけの比較的高濃度の不純物を導入すればよいので、高エネルギーイオン注入や、多段のイオン注入を用いなくともキャリヤー流路領域18を形成できる。また、素子分離領域に酸化膜を形成する前にチャネルイオン注入を行えば、キャリヤー流路領域への不純物の導入とチャネル形成領域へのイオン注入とを兼ねることができ、工程が簡略化される。また、キャリヤー流路領域は浅い位置にあるので、チャネル領域下の深い位置はキャリアの経路にならず、従ってチャネル領域下の深い位置の基板抵抗を下げるためのイオン注入が必要ない。

【0145】すなわち、チャネル形成領域またまこれに接するシリコン基板の表面側の領域と段差部のキャリヤー流路領域においてのみ、基板抵抗を下げれば良い。また、本発明はソース／ドレイン領域9の下には基板抵抗を下げるための高濃度部を設ける必要がない。こうすると、ソース／ドレイン領域9の下の高濃度部が、ソース／ドレイン領域の下の寄生容量を増す原因になることを防ぐことができる。

【0146】また、本発明はソース／ドレイン領域9の下に高濃度部がある場合でも、それがキャリア流路の深

さと同程度に浅ければ、ドレイン電圧が印加された時にこれが空乏化し、寄生容量を形成しないので、ソース／ドレイン領域下の寄生容量を有効に低減できる。

第6の実施例

また、本発明に係る第6の実施例を図24及び図25を参照して説明する。

【0147】即ち、CVDにより素子分離領域11の絶縁膜を堆積後、CMPによる平坦化を行わず、ソグラフィ及びRIE等のエッチング技術を用いて、素子領域部10の絶縁膜に開口部を設け、素子を形成する工程を用いても良い。この場合のソース／ドレイン領域9を含まない位置での断面を図24に、ソース／ドレイン領域を含む位置での断面を図25に示す。

【0148】この方法ではキャリア流路部でフィールド絶縁膜の段差が増すという短所があるが、これを除いた本発明の効果、例えば、キャリア流路の薄膜部で上部を平坦にできるという点、薄膜部と厚膜部との接続部を急峻にできるという点、ゲートや配線と半導体層間の寄生容量を減らせる点等は、本発明の他の実施例と変わりない。

【0149】むしろ寄生容量に関しては、フィールド絶縁層が厚くなるので、他の実施例よりもさらに小さくなる。加えて、本実施例はCMP工程を要しないので、CMP装置が必要なく、製造に要する装置の種類を減らせるという長所がある。なお、キャリア流路のうち、チャネル形成領域に接する膜厚の厚い部分は、ゲート電極との間に厚いフィールド酸化膜があり、チャネルが形成されないので、チャネル形成領域とはならない。

【0150】なお、上記第1から第6の実施形態、あるいはこれらの実施形態に記載される構造を製造する方法において必要となる、リソグラフィ技術及びレジストには、フォトリソグラフィ及びフォトレジストあるいは、他のリソグラフィ技術及び他のレジストを用いる。実施形態中に記述されたフォトリソグラフィ及びフォトレジストは、各種リソグラフィ技術及び各種レジストに置き換えて良い。例えば、X線リソグラフィとX線レジスト、電子ビームリソグラフィと電子ビーム露光等の組み合わせを用いても良い。

【0151】尚、本発明に於て、当該キャリヤー流路領域18内で且つ当該ゲート電極の位置と重複しない部位にボディコンタクト引出部13を形成する。又、当該素子分離領域11内に、当該キャリヤー流路12に接続するボディコンタクト引出部13を形成する。又、当該ボディコンタクト引出部13には、当該第2の導電性を有する不純物を高濃度に導入するものである。

【0152】

【発明の効果】本発明は、SOI-MOSFETの基板浮遊効果を抑制するとともに、素子分離領域でゲート電極と半導体層間、あるいは配線と半導体層間に寄生容量が付くことを抑制する。また、キャリア出路の上部

にゲート酸化膜よりも厚い酸化膜層を設けることにより、キャリア排出路とゲート電極間の寄生容量を低減する。

【0153】また、ドレイン領域とその外側の素子分離領域との間に流れる漏れ電流を抑制する。また、キャリアを排出するための経路となる領域の膜厚、不純物濃度、電位分布を均一にする。またこれらが制御しやすくなる構造及び製造方法を提供する。また、キャリア排出路の一部において、不純物濃度を高めることにより、正孔排出能力を高める。また、キャリア排出路のうち不純物濃度が高い部分と、ソース／ドレイン領域との間に不純物濃度が低い領域を設けることにより、電界を緩和する。

【0154】製造工程において酸化膜の側壁を用いる、あるいはソース／ドレイン領域を半導体層の表面だけに形成することにより、高濃度部をソース／ドレイン領域から隔離する。また、第1、及び第2のフィールドPR工程を用いることにより、上記効果が得られる素子構造を形成する。

【0155】また、半導体層の端部において、半導体層をある一定の厚さまでエッティングにより除去し、この領域にキャリア排出路を設けることにより、キャリアを排出するための経路となる領域の膜厚、不純物濃度、電位分布が均一になる。キャリア排出路の上に、CVD及びCMPを用いて絶縁膜を埋め込むことにより、チャネル形成領域、素子分離領域、キャリア排出路の三者間ににおいて段差のない、平坦な形状が得られる。

【図面の簡単な説明】

【図1】図1は、本発明に係る電界効果型トランジスタの一具体例の構成を説明する断面図である。

【図2】図2は、本発明に係る電界効果型トランジスタの一具体例の構成を説明する平面図である。

【図3】図3は、本発明に係る電界効果型トランジスタの他の具体例の構成を説明する断面図である。

【図4】図4は、本発明に係る電界効果型トランジスタの更に他の具体例の構成を説明する断面図である。

【図5】図5は、本発明に係る電界効果型トランジスタの別の具体例の構成を説明する断面図である。

【図6】図6は、本発明に係る電界効果型トランジスタの別の具体例の構成を説明する平面図である。

【図7】図7は、本発明に係る電界効果型トランジスタの更に別の具体例の構成を説明する断面図である。

【図8】図8は、本発明に係る電界効果型トランジスタの異なる具体例の構成を説明する断面図である。

【図9】図9は、本発明に係る電界効果型トランジスタの更に異なる具体例の構成を説明する断面図である。

【図10】図10は、本発明に於ける電界効果型トランジスタの一具体例に於ける製造方法の要部を説明する断面図である。

【図11】図11は、本発明に於ける電界効果型トラン

ジスタの一具体例に於ける製造方法の要部を説明する断面図である。

【図12】図12は、本発明に於ける電界効果型トランジスタの他の具体例に於ける製造方法の要部を説明する断面図である。

【図13】図13は、本発明に於ける電界効果型トランジスタの別の具体例に於ける製造方法の要部を説明する断面図である。

【図14】図14は、本発明に係る電界効果型トランジスタのボディコンタクト引出部の一具体例の構成を説明する平面図である。

【図15】図15は、本発明に係る電界効果型トランジスタのボディコンタクト引出部の他の具体例の構成を説明する平面図である。

【図16】図16は、本発明に係る電界効果型トランジスタのボディコンタクト引出部に於ける別の具体例の構成を説明する平面図である。

【図17】図17は、本発明に係る電界効果型トランジスタのボディコンタクト引出部に於ける更に他の一具体例の構成を説明する平面図である。

【図18】図18は、本発明に於ける電界効果型トランジスタの他の具体例に於ける製造方法の要部を説明する断面図である。

【図19】図19は、本発明に於ける電界効果型トランジスタの他の一具体例に於ける製造方法の要部を説明する断面図である。

【図20】図20は、本発明に於ける電界効果型トランジスタの更に他の具体例に於ける製造方法の要部を説明する断面図である。

【図21】図21は、本発明に於ける電界効果型トランジスタの更に他の具体例に於ける製造方法の要部を説明する断面図である。

【図22】図22は、本発明に係る電界効果型トランジスタの更に別の具体例の構成を説明する断面図である。

【図23】図23は、本発明に係る電界効果型トランジスタの更に異なる具体例の構成を説明する断面図である。

【図24】図24は、本発明に係る電界効果型トランジスタの更に異なる具体例の構成を説明する断面図である。

【図25】図25は、本発明に係る電界効果型トランジスタの更に別の具体例の構成を説明する断面図である。

【図26】図26は、従来の電界効果型トランジスタの作動状態を説明する断面図である。

【図27】図27は、従来の於けるSOI層を構成する電界効果型トランジスタの作動状態を説明する断面図である。

【図28】図28は、従来の電界効果型トランジスタの一具体例の構成を説明する断面図である。

【図29】図29は、従来の電界効果型トランジスタの

一具体例の構成を説明する側面図である。

【図30】図30は、従来の於ける電界効果型トランジスタの作動状態を説明する平面図である。

【図31】図31は、従来の電界効果型トランジスタに於けるリーク電流の流れと寄生容量の発生状態を説明する平面図である。

【図32】図32は、従来の電界効果型トランジスタの他の具体例の構成を説明する断面図である。

【図33】図33は、従来の電界効果型トランジスタの別の具体例の構成を説明する側面図である。

【図34】図34は、従来の於ける電界効果型トランジスタの構成を示す平面図である。

【図35】図35は、従来の電界効果型トランジスタの他の構成を示す平面図である。

【図36】図36は、従来の電界効果型トランジスタに於いてLOCOS酸化膜を使用した場合の問題点を説明する図である。

【図37】図37は、電界効果型トランジスタに於いてLOCOS酸化膜を使用しない場合の利点を説明する図である。

【図38】図38は、従来の電界効果型トランジスタに於ける更に別の具体例の構成を示す断面図である。

【図39】図39は、本発明に係る電界効果型トランジスタの他の具体例の構成を説明する断面図である。

【図40】図40は、本発明に係る電界効果型トランジスタの更に他の具体例の構成を説明する断面図である。

【図41】図41は、本発明に係る電界効果型トランジスタの別の具体例の構成を説明する平面図である。

【図42】図42は、本発明に係る電界効果型トランジスタの更に別の具体例の構成を説明する平面図である。

【図43】図43は、本発明に係る電界効果型トランジスタの異なる具体例の構成を説明する平面図である。

【符号の説明】

- 1…基板
- 2…絶縁膜、埋め込み酸化膜
- 3…半導体層、SOI層
- 4…素子分離領域シリコン層
- 5…チャネル形成領域
- 6…フィールド酸化膜
- 7…ゲート酸化膜
- 8…ゲート電極

9…ソース／ドレイン領域

10…素子領域

11…素子分離領域

12…キャリヤー流路

13…ボディコンタクト引き出し部

14…低濃度部

15…第2の第1導電型領域

16…高濃度部

17…ソース／ドレイン領域層

18…キャリヤー流路領域

20…急峻な壁部

21…キャリヤー流路の上面部

22…チャネル形成領域の上面部

23…酸化膜側壁

25…ソース／ドレイン領域のゲート電極側の端縁部

26…キャリヤー流路領域に於ける当該ゲート電極と重複しない部位

27…素子分離領域とキャリヤー流路領域との接合部

30…第1フィールドPRレジスト

31…厚い酸化膜側壁

35…キャリヤー流路の上面部

36…キャリヤー流路で側壁に覆われていない部分

41…ソース／ドレイン領域とボディコンタクトとの距離

42…ボディコンタクト

W1、43…キャリア経路幅

44…ソース／ドレイン領域とボディコンタクト端との距離

45…ゲート電極の突起幅

100…電界効果型トランジスタ

101…ソース

102…ドレイン

140…キャリヤー流路の上表面部

160…キャリヤー流路の上表面部

200…パッド酸化膜

201…ゲートコンタクト台座

202…素子領域端低濃度部

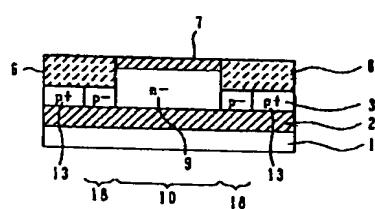
203…膜厚の厚いキャリア流路

204…素子領域内の低濃度第2導電型領域

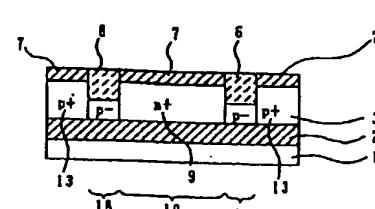
210…窒化シリコン膜

220…第2フィールドPRレジスト

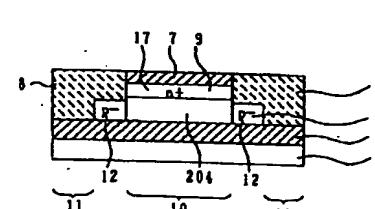
【図3】



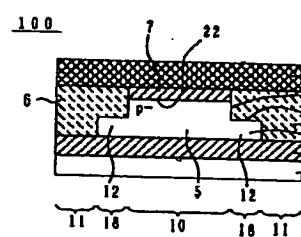
【図4】



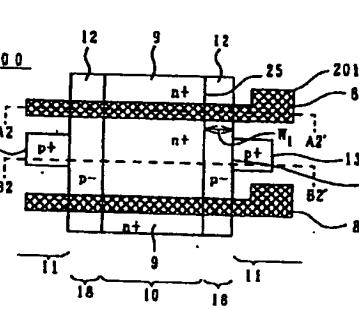
【図5】



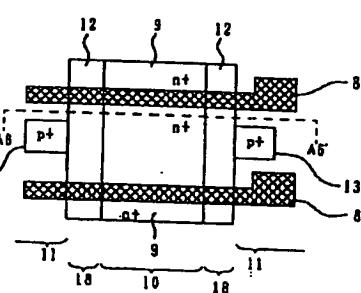
【図 1】



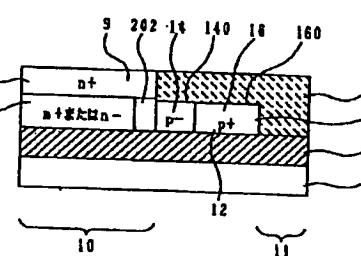
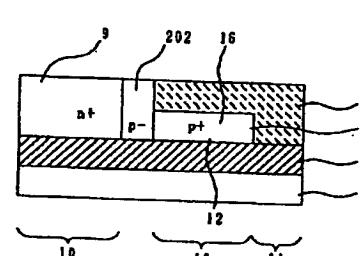
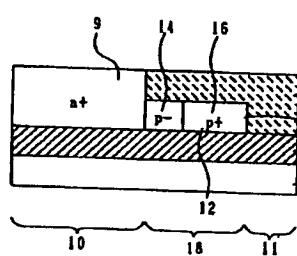
【図 2】



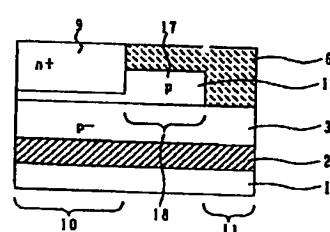
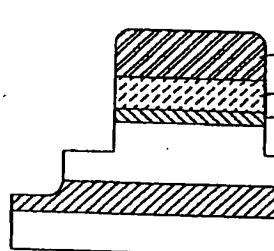
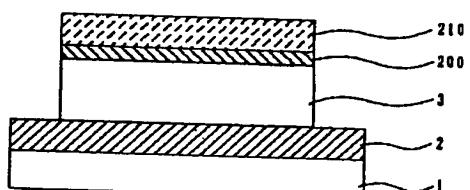
【図 6】



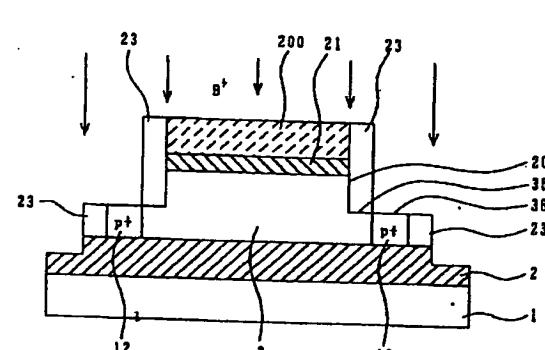
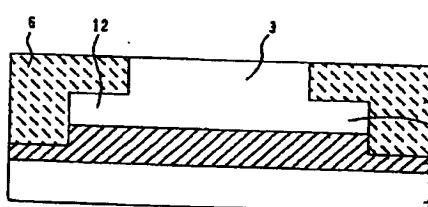
【図 7】



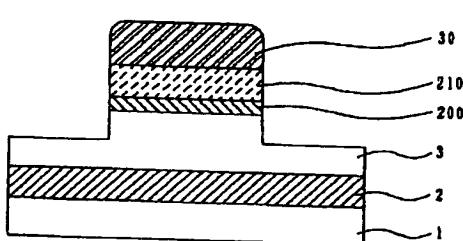
【図 10】



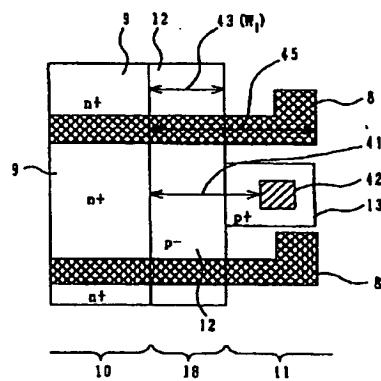
【図 12】



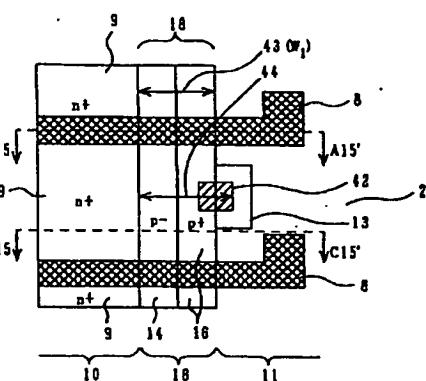
【図 18】



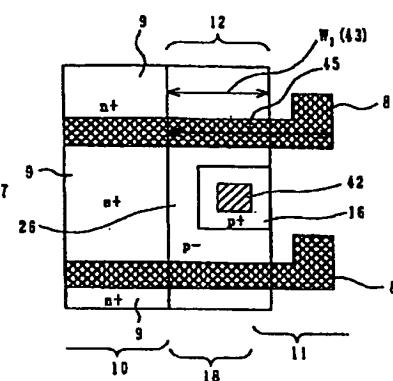
【図 1 4】



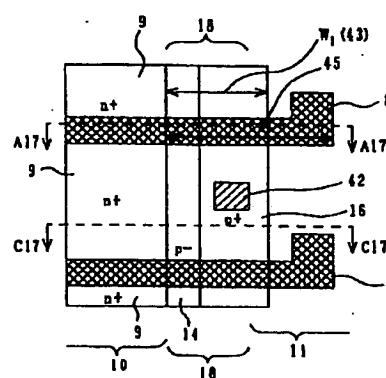
【図 1 5】



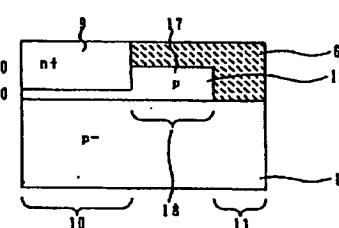
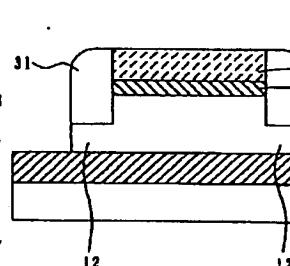
【図 1 6】



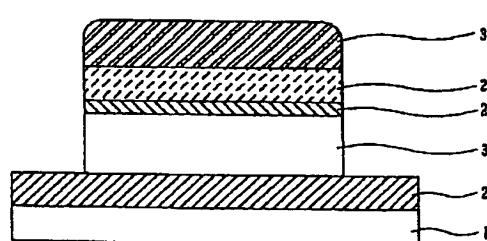
【図 1 7】



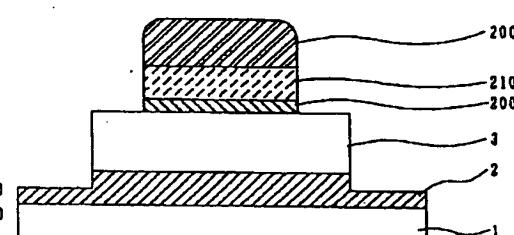
【図 1 9】



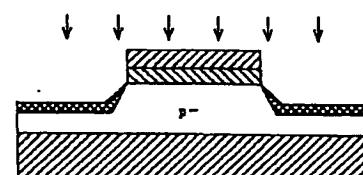
【図 2 0】



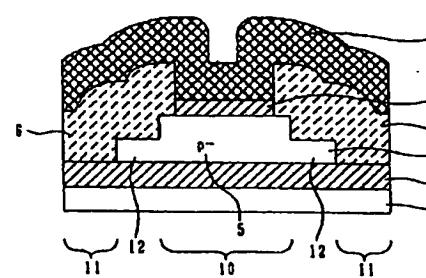
【図 2 1】



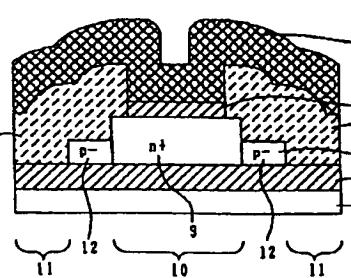
【図 3 2】



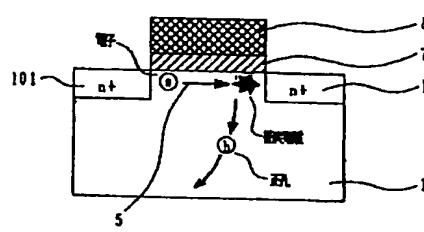
【図 2 4】



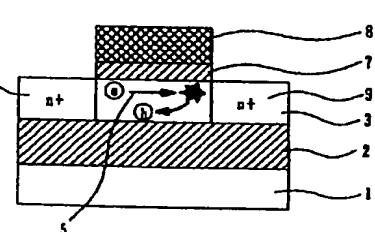
【図 2 5】



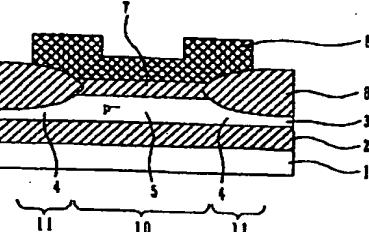
【図 26】



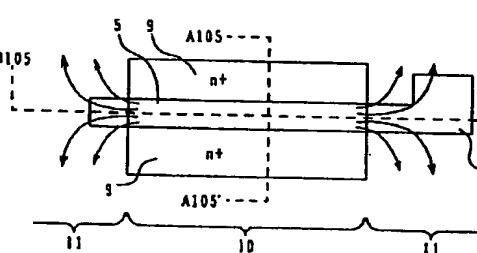
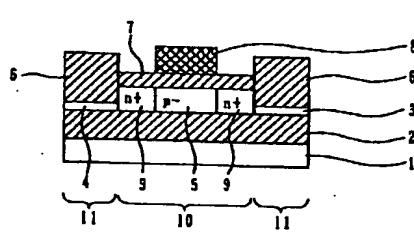
【図 27】



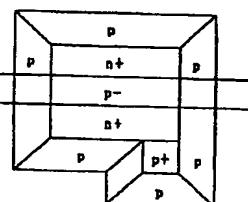
【図 28】



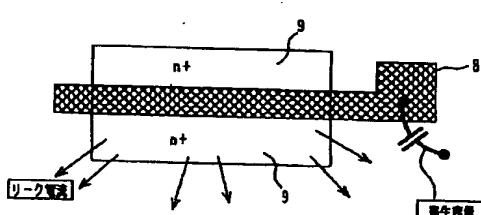
【図 29】



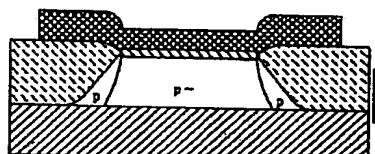
【図 34】



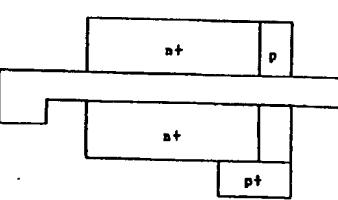
【図 31】



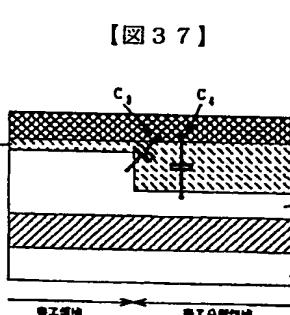
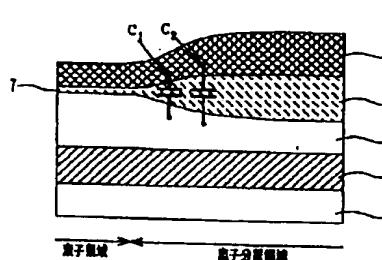
【図 33】



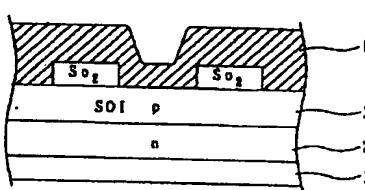
【図 35】



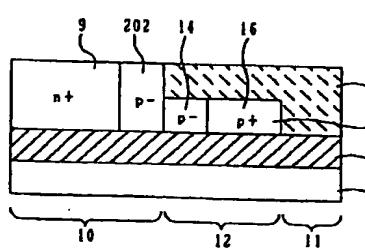
【図 36】



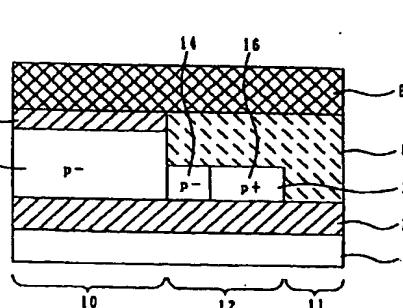
【図 38】



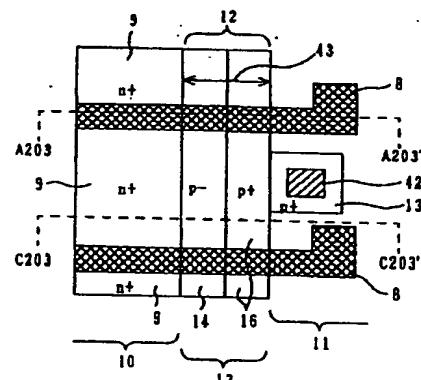
【図 39】



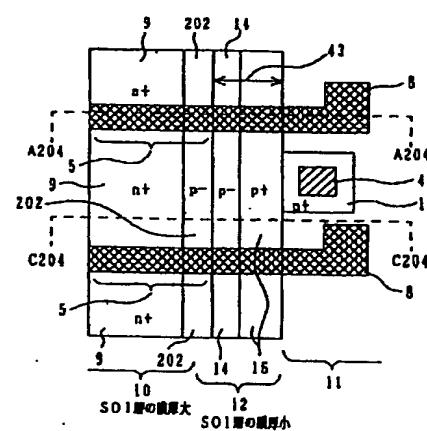
【図 40】



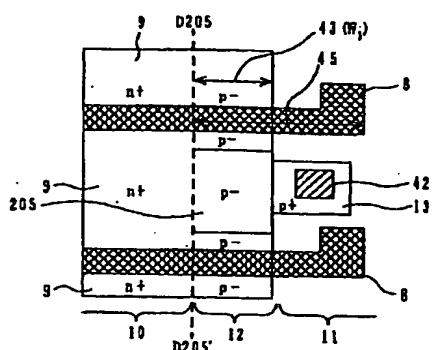
【図 4 1】



【図 4 2】



【図 4 3】



フロントページの続き

F ターム(参考) 5F110 AA02 AA06 AA15 AA18 CC02
 DD05 DD24 EE09 EE25 EE29
 FF01 FF02 FF03 FF09 FF23
 GG02 GG03 GG04 GG12 GG13
 GG15 GG22 GG23 GG24 GG29
 GG32 GG34 GG42 GG52 HJ01
 HJ04 HJ13 HK09 HM02 HM04
 HM05 HM15 NN62 NN65 QQ11
 QQ16 QQ19